English Translation of reference 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150644
(43)Date of publication of application : 30.05.2000

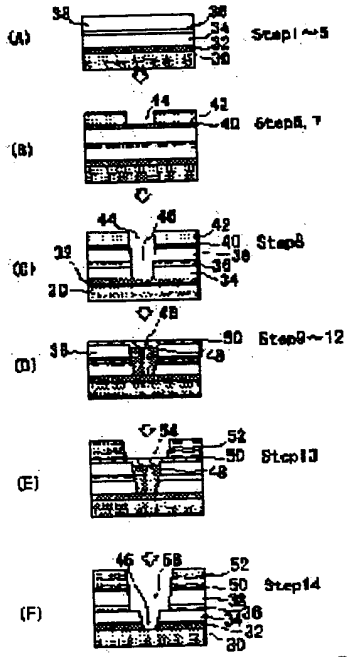
(51)Int.Cl. H01L 21/768
H01L 21/302
H01L 21/3205

(21)Application number : 10-318556
(22)Date of filing : 10.11.1998

(71)Applicant : MITSUBISHI ELECTRIC CORP
(72)Inventor : HARADA AKIHIKO
SAITO TAKAYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To prevent a lower-layer wiring layer from being damaged related to a manufacturing method for a semiconductor device comprising a wiring element of a dual damascene structure at the upper part of the lower-layer wiring layer.
SOLUTION: On a lower-layer wiring layer 30 a first silicon nitride film 32, a first silicon oxide film 34, a second silicon nitride film 36, and a second silicon oxide film 38 are formed in order (steps 1-5). At the upper part of the lower-layer wiring layer 30, a second silicon oxide film 38 and a via hole 46 penetrating the second silicon nitride film 36 are formed (steps 6-8). A photo- resist 48 is so packed in the via hole 46 as to cover its inside wall (steps 9-12). After a protect film is formed of the photo-resist 48, a specified part of the second silicon oxide film 38 and the second silicon nitride film 36 is removed to form a wiring groove 56 (steps 13-14).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

material after hollowing the front face of the aforementioned base-metal material. The step which removes the layer of the aforementioned silicon nitride until the front face of the 0th insulator layer of the above is exposed so that the layer of the aforementioned silicon nitride may remain the aforementioned base-metal film only to a wrap predetermined field.
[Claim 11] The aforementioned etching stopper film is the manufacture method of the semiconductor device of ten the claim 1 characterized by including the silicon nitride which has the absorption coefficient of 0.5-1.0, or given in any 1 term.
[Claim 12] The manufacture method of the semiconductor device of the claim 1 or the any 1 term publication of 11 characterized by providing the following. The step which forms the high-melting point metal membrane for acid resisting in the upper part of the 2nd insulator layer of the above before carrying out opening of the aforementioned beer hall. The step which forms the aforementioned wiring slot is the step which removes in the part corresponding to the aforementioned wiring slot of the aforementioned high-melting point metal membrane for acid resisting including the step which removes the part corresponding to the aforementioned beer hall of the aforementioned high-melting point metal membrane for acid resisting in the step which is equipped with the step which removes the aforementioned high-melting point metal membrane for acid resisting which remains in the upper part of the 2nd insulator layer of the above after the aforementioned wiring slot is formed, and carries out opening of the aforementioned beer hall.
[Claim 13] The manufacture method of the semiconductor device of the claim 1 or the any 1 term publication of 11 characterized by providing the following. The step which forms in the upper part of the 2nd insulator layer of the above the silicon nitride for acid resisting which has the absorption coefficient of 0.5-1.0 before carrying out opening of the aforementioned beer hall. The step which forms the aforementioned wiring slot is the step which removes in the part corresponding to the aforementioned wiring slot of the aforementioned silicon nitride for acid resisting including the step which removes the part corresponding to the aforementioned beer hall of the aforementioned silicon nitride for acid resisting in the step which is equipped with the step which removes the aforementioned silicon nitride for acid resisting which remains in the upper part of the 2nd insulator layer of the above after the aforementioned wiring slot is formed, and carries out opening of the aforementioned beer hall.
[Claim 14] The manufacture method of the semiconductor device of the claim 1 or the any 1 term publication of 11 characterized by providing the following. The step which carries out opening of the aforementioned beer hall is a step which forms the 1st organic antireflection film in the upper part of the 2nd insulator layer of the above. The step which forms the aforementioned wiring slot in the part corresponding to the aforementioned beer hall at the upper part of the aforementioned 1st organic antireflection film including the step which forms the 1st photoresist film which has opening is a step which forms the 2nd organic antireflection film in the upper part of the 2nd insulator layer of the above. The step which forms in the part corresponding to the aforementioned wiring slot the 2nd photoresist film which has opening at the upper part of the aforementioned 2nd organic antireflection film.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[The technical field to which invention belongs] this invention relates to the manufacture method of a semiconductor device, and relates to the manufacture method of the semiconductor device which equips the upper part of a lower layer wiring layer with the wiring element of a dual pellet syn conformation especially.
[0002]
[Description of the Prior Art] As a wiring material of a semiconductor device, the small quality of the material of specific resistance, such as copper, may be used. In a semiconductor device, after forming a beer hall and a wiring slot in a dual pellet syn conformation, i.e., a layer insulation film, generally, the structure which embeds a metal at them and forms wiring is used for the multilayer interconnection using copper.
[0003] Drawing 13 (A) - drawing 13 (C) show drawing for explaining the manufacture method of the conventional semiconductor device which has wiring of a dual pellet syn conformation. In the conventional manufacture method, after the lower layer wiring 10 forms a slot etching stopper film and the 0th insulator layer in the predetermined part on a silicon substrate, it is formed with copper of photoengraving process and etching. The 1st silicon nitride (Si3N4) 12, the 1st silicon oxide 14, the 2nd silicon nitride (Si3N4) 16, and the 2nd silicon oxide 18 are formed in the upper part of the lower layer wiring layer 10 one by one. Furthermore, the 1st photoresist 20 which has opening is formed in the part corresponding to a beer hall 19 at the upper part of the 2nd silicon oxide 18.
[0004] Next, anisotropy dry etching for carrying out opening of the beer hall 19 by using the 1st photoresist 20 as a mask is performed. The above-mentioned etching is performed until the 1st silicon nitride 12 is exposed to the interior of a beer hall 19 (drawing 13 (A)). In the process of etching, the 1st silicon nitride 12 functions as a stopper film which stops advance of etching.
[0005] After etching for carrying out opening of the beer hall 19 is completed, the 1st photoresist 20 is removed from the upper part of the 2nd silicon oxide 18, and the 2nd photoresist 22 which has opening in instead of at the part corresponding to a wiring slot is formed (drawing 13 (B)).
[0006] Next, anisotropy dry etching for carrying out opening of the wiring slot 24 by using the 2nd photoresist 22 as a mask is performed (drawing 13 (C)). The above-mentioned etching is first performed on the conditions which can remove a silicon oxide by the big selection ratio to a silicon nitride. the [under the present circumstances, / the 1st and] -- both 2 silicon nitrides 12 and 16 are used as a stopper film for stopping advance of etching Next, etching for removing the 2nd silicon nitride 16 exposed to the interior of the wiring slot 24 and the 1st silicon nitride 12 exposed to the interior of a beer hall 19 is performed. If these processings are performed proper, the wiring slot 24 which leads to the beer hall 19 in which the front face of the lower layer wiring layer 10 is exposed, and a beer hall 19 will be formed.
[0007]
[Problem(s) to be Solved by the Invention] However, the 1st silicon nitride 12 is always exposed to etchant in the pars basilaris ossis occipitalis of a beer hall 19 during execution of etching for forming the wiring slot 24 (the part is hereafter called a "outcrop"). Moreover, the outcrop originates in the variation in manufacture conditions etc., and it may ********** so much in process of etching for carrying out opening of the beer hall 19. Under such a situation, in process of etching for carrying out opening of the wiring slot 24, a beer hall 19 may run through the 1st silicon nitride 12, and the front face of the lower layer wiring layer 10 may be exposed. In this case, by continuing etching henceforth, as shown in drawing 13 (C), an injury arises in the lower layer wiring layer 10.
[0008] Moreover, in the conventional manufacture method, etching for carrying out opening of the wiring slot 24 is performed after opening of a beer hall 19 like the above. In this case, the 2nd silicon oxide 14 and the 2nd silicon nitride 16 tend to receive the effect of etching greatly in near opening of a beer hall 19 as compared with other parts. For this reason, according to the conventional manufacture method, the path of the breakthrough (hole by the beer hall 19) prepared in the 2nd silicon nitride 16 is easy to be expanded in process of etching for carrying out opening of the wiring slot 24.
[0009] Drawing 14 shows the state where it is generated when the path of the breakthrough of the 2nd silicon nitride 16 is expanded in process of etching. the configuration shown with a dashed line in drawing 14 -- the [the 1st and] -- the state of the ideal obtained when 2 silicon nitrides 12 and 16 function proper as a stopper film is shown In drawing 14 , the lower layer wiring layer 10 has width of face almost equal to the path of the beer hall 19 of an ideal state. Moreover, the lower layer wiring layer 10 equips the circumference with the layer of the barrier metal 26.
[0010] If the path of the breakthrough of the 2nd silicon nitride 16 is expanded by the morphosis of the wiring slot 24, as the configuration of a beer hall 19 is shown in drawing 14 , the path of the upper-limit section will serve as a big taper configuration as compared with the path of the soffit section. If a beer hall 19 is formed in the shape of a taper, the side of the lower layer wiring layer 14 will become that it is easy to be exposed to etchant. In this case, the barrier metal 26 receives an injury under the influence of etching, and it becomes easy to produce film peeling in the base metal and the barrier metal 26 of a wiring layer. Thus, in case the manufacture method of the conventional semiconductor device formed the wiring element of a dual pellet syn conformation in the upper part of the lower layer wiring layer 10, it was what has the problem of being easy to make the lower layer wiring layer 10 producing the injuries on various.
[0011] By the way, the copper used as a base metal of a wiring layer in the conventional semiconductor device has the high reflection factor compared with aluminum. In the conventional manufacture method, in case patterning of the 1st photoresist 20 for carrying out opening of the beer hall 19 is carried out (refer to drawing 13 (A)), and in case patterning of the 2nd photoresist 22 for forming the wiring slot 24 is carried out (refer to drawing 13 (B)), processing which light (for example, i

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer.So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture method of a semiconductor device equipped with the wiring element of a dual pellet syn conformation characterized by providing the following. The step which forms the diffusion prevention film of metal on lower layer wiring. The step which forms the 1st insulator layer in the upper part of the aforementioned nucleic-acid prevention film. The step which forms an etching stopper film in the upper part of the 1st insulator layer of the above. The step which forms the 2nd insulator layer in the upper part of the aforementioned etching stopper film, the step which form in the upper part of the aforementioned lower layer wiring the beer hall which penetrates the 2nd insulator layer of the above, the aforementioned etching stopper film, and the 1st insulator layer of the above, the step which form a wrap organic layer in the interior of the aforementioned beer hall for the wall of the beer hall, and the step which remove the predetermined part of the 2nd insulator layer of the above by etching, and form an

[Claim 2] The aforementioned organic layer is the manufacture method of the semiconductor device according to claim 1 characterized by being formed so that the aforementioned beer hall may be covered in the field which results in the inside of the 2nd insulator layer of the above from the base at least.

[Claim 3] The step which forms the aforementioned organic layer is the manufacture method of the semiconductor device according to claim 1 or 2 characterized by having the step which embeds a photoresist to the interior of the aforementioned beer hall, and the step which stiffens the aforementioned photoresist.

[Claim 4] The step which forms the aforementioned organic layer is the manufacture method of the semiconductor device according to claim 1 or 2 characterized by having the step which forms the layer of an organic acid-resisting agent in the interior of the aforementioned beer hall as the aforementioned organic layer.

[Claim 5] The manufacture method of the semiconductor device of the claim 1 or the any 1 term publication of four characterized by providing the following. The step which forms the aforementioned lower layer wiring layer is a step which forms an etching stopper film on a silicon substrate. The step which forms the 0th insulator layer on the aforementioned etching stopper film. The step which forms the slot for lower layer wiring by photoengraving process and anisotropic etching. The step which embeds base-metal material after forming a high-melting point metal membrane into the aforementioned slot for lower layer wiring, the step which removes the excessive base-metal agent in the exterior of the slot for lower layer wiring, and the step which forms a high-melting point metal membrane in the upper part of the aforementioned base-metal material.

[Claim 6] The manufacture method of a semiconductor device according to claim 5 characterized by providing the following. The step which forms the aforementioned high-melting point metal membrane while having the step which carries out flattening until the front face of the 0th insulator layer of the above is exposed and base-metal material is lost to the exterior of the aforementioned slot for lower layer wiring, after embedding base-metal material into the aforementioned slot for lower layer wiring is a step which forms the layer of a refractory metal in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material. The step which etches so that the layer of the aforementioned refractory metal may remain the aforementioned base-metal film only to a wrap predetermined field.

[Claim 7] The manufacture method of a semiconductor device according to claim 5 characterized by providing the following. The step which forms the aforementioned high-melting point metal membrane while having the step to which only predetermined length hollows the front face of the aforementioned base-metal material as compared with the front face of the 0th insulator layer of the above, after embedding base-metal material into the aforementioned slot for lower layer wiring is a step which forms the layer of a refractory metal in the upper part of the 0th insulator layer of the above, and the aforementioned base-metal material after hollowing the front face of the aforementioned base-metal material. The step which removes the film of the aforementioned refractory metal until the front face of the 0th insulator layer of the above is exposed so that the layer of the aforementioned refractory metal may remain the aforementioned base-metal film only to a wrap predetermined field.

[Claim 8] The step which forms the aforementioned lower layer wiring layer is the manufacture method of the semiconductor device of four the claim 1 characterized by to have the step which forms the slot for lower layer wiring in the 0th velum, the step which embeds base-metal material after forming a high-melting point metal membrane into the aforementioned slot for lower layer wiring, and the step which forms in the upper part of the aforementioned base-metal material the silicon nitride which has the absorption coefficient of 0.5-1.0, or given in any 1 term.

[Claim 9] The manufacture method of a semiconductor device according to claim 8 characterized by providing the following. The step which forms the aforementioned silicon nitride while having the step which carries out flattening of the front face of the 0th insulator layer of the above and the front face of the aforementioned base-metal material, after embedding base-metal material into the aforementioned slot for lower layer wiring is a step which forms in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material the layer of the silicon nitride which has the absorption coefficient of 0.5-1.0. The step which etches so that the layer of the aforementioned silicon nitride may remain the aforementioned base-metal film only to a wrap predetermined field.

[Claim 10] The manufacture method of a semiconductor device according to claim 8 characterized by providing the following. The step which forms the aforementioned silicon nitride while having the step to which only predetermined length hollows the front face of the aforementioned base-metal material as compared with the front face of the 0th insulator layer of the above, after embedding base-metal material into the aforementioned slot for lower layer wiring is a step which forms the layer of a silicon nitride in the upper part of the aforementioned silicon substrate and the aforementioned base-metal

line) is irradiated [processing] from those upper parts, and exposes a photoresist is performed. A photoresist is exposed in response to the direct light irradiated from the upper part, and the reflected light which reflects and returns by the substrate side after passing a photoresist. For this reason, the sensitization state of a photoresist receives big influence in the intensity of the reflected light, the interference state of direct light and the reflected light, etc.

[0012] The silicon oxide and silicon nitride which the conventional semiconductor device uses make light penetrate generally. For this reason, a part of light which passed the photoresist penetrates a silicon oxide and a silicon nitride, and it reaches to the lower layer wiring layer 10 or the front face of a silicon substrate. For this reason, the photoresist applied to the upper part of the lower layer wiring layer 10 receives the reflected light generated in the lower layer wiring layer 10. Moreover, the photoresist applied to the upper part of the field in which the lower layer wiring layer 10 is not formed receives the reflected light reflected on the front face of the silicon substrate of the lower layer wiring layer 10 further located in a lower layer.

[0013] The length of the optical path which will pass by the time the reflected light reflected on the length of the optical path which will pass by the time the reflected light reflected in the lower layer wiring layer 10 reaches a photoresist, and the front face of a silicon substrate reaches a photoresist is changed according to the variation in the thickness of the layer insulation film which intervenes between the reflector of light, and a photoresist. Moreover, if those optical path difference is changed, the interference state of direct light and the reflected light which a photoresist receives will change, and variation will arise in the sensitization state of a photoresist. This point and the conventional manufacture method were what it originates [what] in the variation in the thickness of a layer insulation film, and is easy to worsen the dimensional accuracy of the 1st and 2nd photoresists 20 and 22.

[0014] Furthermore, when metals, such as copper with a high reflection factor, are used for the base metal of the lower layer wiring layer 10, and the light which passed the mask is strongly reflected by the lower layer wiring layer 10, the halation resulting from the reflected light may arise. In the conventional manufacture method, the abnormalities in a pattern of a photoresist may arise under the influence of the halation in the case of patterning of the 2nd photoresist 22 in the case of patterning processing of the 1st photoresist 20. Thus, when the conventional manufacture method carried out patterning of the photoresist by photoengraving process, it had the problem of being easy to worsen pattern precision under the influence of the reflected light.

[0015] this invention sets it as the 1st purpose to offer the manufacture method of the semiconductor device which can form the wiring element of a dual pellet syn conformation in the upper part, without having been made in order to solve the above technical problems, and damaging a lower layer wiring layer. Moreover, this invention sets it as the 2nd purpose to offer the manufacture method of the semiconductor device which precision can improve a photoresist patterning, without being influenced of the reflected light while it attains the 1st purpose.

[0016]

[Means for Solving the Problem] The step which invention according to claim 1 is the manufacture method of a semiconductor device equipped with the wiring element of a dual pellet syn conformation, and forms the diffusion prevention film of metal on lower layer wiring, The step which forms the 1st insulator layer in the upper part of the aforementioned nucleic-acid prevention film, and the step which forms an etching stopper film in the upper part of the 1st insulator layer of the above, The step which forms the 2nd insulator layer in the upper part of the aforementioned etching stopper film, The step which forms in the upper part of the aforementioned lower layer wiring the beer hall which penetrates the 2nd insulator layer of the above, the aforementioned etching stopper film, and the 1st insulator layer, It is characterized by having the step which forms a wrap organic layer in the interior of the aforementioned beer hall for the wall of the beer hall, and the step which removes the predetermined part of the 2nd insulator layer of the above by etching, and forms a wiring slot after formation of the aforementioned organic layer.

[0017] Invention according to claim 2 is the manufacture method of a semiconductor device according to claim 1, and the aforementioned organic layer is characterized by being formed so that the aforementioned beer hall may be covered in the field from the base to the inside of the 2nd insulator layer of the above at least.

[0018] Invention according to claim 3 is the manufacture method of a semiconductor device according to claim 1 or 2, and the step which forms the aforementioned organic layer is characterized by having the step which embeds a photoresist to the interior of the aforementioned beer hall, and the step which stiffens the aforementioned photoresist.

[0019] Invention according to claim 4 is the manufacture method of a semiconductor device according to claim 1 or 2, and the step which forms the aforementioned organic layer is characterized by having the step which forms the layer of an organic acid-resisting agent in the interior of the aforementioned beer hall as the aforementioned organic layer.

[0020] The step which invention according to claim 5 is the manufacture method of the semiconductor device of four a claim 1 or given in any 1 term, and forms an etching stopper film on a silicon substrate, The step which forms the 0th insulator layer on the aforementioned etching stopper film, and the step which forms the slot for lower layer wiring by photoengraving process and anisotropic etching, It is characterized by having the step which embeds base-metal material after forming a high-melting point metal membrane into the aforementioned slot for lower layer wiring, the step which removes the excessive base-metal agent in the exterior of the slot for lower layer wiring, and the step which forms a high-melting point metal membrane in the upper part of the aforementioned base-metal material.

[0021] Invention according to claim 6 is the manufacture method of a semiconductor device according to claim 5. While having the step which carries out flattening until the front face of the 0th insulator layer of the above is exposed and base-metal material is lost to the exterior of the aforementioned slot for lower layer wiring, after embedding base-metal material into the aforementioned slot for lower layer wiring The step at which the step which forms the aforementioned high-melting point metal membrane forms the layer of a refractory metal in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material, It is characterized by having the step which etches so that the layer of the aforementioned refractory metal may remain the aforementioned base-metal film only to a wrap predetermined field.

[0022] Invention according to claim 7 is the manufacture method of a semiconductor device according to claim 5. After embedding base-metal material into the aforementioned slot for lower layer wiring, while having the step to which only predetermined length hollows the front face of the aforementioned base-metal material as compared with the front face of the 0th insulator layer of the above The step which forms the layer of a refractory metal in the upper part of the 0th insulator layer of the above, and the aforementioned base-metal material after the step which forms the aforementioned high-melting point metal membrane hollows the front face of the aforementioned base-metal material, It is characterized by having the step which removes the film of the aforementioned refractory metal until the front face of the 0th insulator layer

reflected light which the 1st photoresist 42 receives becomes always almost fixed. Moreover, under the above-mentioned situation, since the strong reflected light is not generated by the lower layer wiring layer 30, the halation at the time of photoengraving process can prevent effectively. For this reason, according to processing of Step 7, patterning of the 1st photoresist 42 can be carried out with close dimensional accuracy.
[0035] Next, as shown in drawing 1 (C), anisotropy dry etching for carrying out opening of the beer hall 46 is performed (Step 8). Etching of Step 8 is first performed on the conditions suitable for removal of a silicon oxide. Consequently, the 2nd silicon nitride 36 is exposed to the bottom of a beer hall 46. Next, etching is performed on the conditions suitable for removal of a silicon nitride. Consequently, the 1st silicon oxide 34 is exposed to the bottom of a beer hall 46. Subsequently, etching is again performed on the conditions suitable for removal of a silicon oxide. Consequently, the 1st silicon nitride 32 is exposed to the bottom of a beer hall 46.
[0036] The conditions of etching of the above-mentioned step 8 are set up so that opening of the beer hall 46 may be suitably carried out in all the parts on a semiconductor wafer, namely, so that the 1st silicon nitride 32 may be exposed to the bottom of all the beer halls 46. More specifically, the amount of over etching is set that the 1st silicon nitride 32 is exposed to the bottom of all the beer halls 46. The portion comparatively exposed to the interior of a beer hall 46 at an early stage among the 1st silicon nitrides 32 functions as an etching stopper film over a long period of time in the process of the above-mentioned over etching. In this case, when etching for carrying out opening of the beer hall 46 is completed, as compared with the part of others [portions / those], there is a bird clapper thinly clearly.
[0037] As shown in drawing 1 (D), after etching for carrying out opening of the beer hall 46 is completed, the 1st photoresist 42 is removed (Step 9). Subsequently, a photoresist 48 is embedded to the interior of a beer hall 46 (Step 10). At least, a photoresist 48 is embedded so that the wall of a beer hall 46 may be covered to the field which exceeds the 2nd silicon nitride 36 from the base. On a 150-degree C hot plate, a photoresist 48 is the illuminance of 600 mW/cm2, and is hardened by irradiating the DeepUV light during 120 seconds (Step 11). 2nd BARC50 is applied to the upper part of the 2nd silicon oxide 38, and the upper part of the photoresist 48 after hardening (Step 12).
[0038] As shown in drawing 1 (E), on 2nd BARC50, the 2nd photoresist 52 is formed of photoengraving process (Step 13). The 2nd photoresist 52 equips with opening 54 the position which should form a wiring slot. In the case of patterning of the 2nd photoresist 52, on the 2nd photoresist 52, where a mask is piled up, light is irradiated towards the 2nd photoresist 52. The great portion of light which passed the 2nd photoresist 52 is made the reflected light by 2nd BARC50. For this reason, according to processing of Step 13, the optical path difference of the reflected light and the problem of halation can be avoided, and patterning of the 2nd photoresist 52 can be carried out with close dimensional accuracy.
[0039] Next, as shown in drawing 1 (F), anisotropy dry etching for carrying out opening of the wiring slot 56 is performed (Step 14). Etching of Step 14 is first performed on the conditions suitable for removal of a silicon oxide. Consequently, the wiring slot 56 is formed until the 2nd silicon nitride 36 is exposed. Next, etching is performed on the conditions suitable for removal of a silicon nitride. Consequently, while the outcrop of the 1st silicon nitride is removed and the front face of the lower layer wiring layer 30 is exposed to the interior of a beer hall 46, the 2nd silicon nitride 36 which remained at the bottom of the wiring slot 56 is removed. An end of processing of Step 14 removes simultaneously the photoresist 48 which remains inside a beer hall 46, and the 2nd photoresist 52 which remains in the upper part of the 2nd silicon oxide 38 by ashing.
[0040] The above-mentioned etching is performed after the side of the interior of a beer hall 46, i.e., the outcrop of the 1st silicon nitride 32, and the breakthrough (hole by the beer hall 46) of the 2nd silicon nitride 36 has been protected by the photoresist 48. For this reason, in process of etching for the outcrop of the 1st silicon nitride 32 forming a wiring slot as compared with other parts, even when clearly thin, when opening of a beer hall 46 is completed While a beer hall 46 does not run through the 1st silicon nitride 32 at an early stage unfairly, the path of the breakthrough of the 2nd silicon nitride 32, i.e., the path of the upper-limit section of a beer hall 46, is not expanded unfairly. Therefore, according to the manufacture method of this operation form, the wiring element of a dual pellet syn conformation can be formed in the upper part of the lower layer wiring layer 30, without doing damage to the lower layer wiring layer 30.
[0041] By the way, in the above-mentioned operation form, in order to stiffen the photoresist 48 embedded to the interior of a beer hall 46, although Deep UV is irradiated at a photoresist 48, the technique of stiffening a photoresist 48 is not limited to this. for example, a postbake (heating) -- or it is good also as stiffening a photoresist 48 with those combination
[0042] in addition, the above-mentioned operation form -- setting -- the 1st silicon oxide 34 -- the "1st insulator layer" of the claim 1 aforementioned publication -- the 2nd silicon oxide 38 is equivalent to the "2nd insulator layer" of the claim 1 aforementioned publication, and the photoresist 48 is equivalent to the "organic layer" of the claim 1 aforementioned publication on the "etching stopper film" of the claim 1 aforementioned publication for the 2nd silicon nitride 36, respectively

[0043] The form 2 of operation of this invention is explained with reference to form 2. of operation, next drawing 2 . Drawing 2 (A) - drawing 2 (F) show drawing for explaining the manufacture method of the semiconductor device of the form 2 operation of this invention. As shown in drawing 2 (A) or drawing 2 (C), according to the manufacture method of this operation form, a beer hall 46 is formed by performing processing of Steps 1-8 like the case of the form 1 of operation.
[0044] In the manufacture method of this operation form, as shown in drawing 2 (D), after the 1st photoresist 42 is removed, the layer of 2nd BARC50 is simultaneously formed in the interior of (Step 9) and a beer hall 46, and the upper part of the 2nd silicon oxide 38 (Step 15). Henceforth, the wiring slot 56 is formed by performing processing of Steps 13 and 14 like the case of the form 1 of operation.
[0045] In the manufacture method of this operation form, it functions in the process of etching for forming the wiring slot 56 as the same protective coat as the photoresist 48 in the form 1 of operation while it functions as an antireflection film, in case 2nd BARC50 carries out patterning of the 2nd photoresist 52. For this reason, according to the manufacture method of this operation form, as compared with the form 1 of operation, the same effect as the case of the form 1 of operation can be acquired at an easy process.
[0046] In addition, in the above-mentioned operation form, 2nd BARC50 is equivalent to the "organic layer" of the claim 1 aforementioned publication.
[0047] The form 3 of operation of this invention is explained with reference to form 3. of operation, next drawing 3 . Drawing 3 (A) or drawing 3 (F) shows drawing for explaining the manufacture method of the semiconductor device of this operation form. Although the embedding nature of the organic acid-resisting agent used as a material of 2nd BARC50 is used with the form 2 of operation, it is the same as that of the form 2 of operation except for the point which is inferior as compared with

embedding nature. [of the manufacture method of this operation form]
[0048] That is, by the manufacture method of the form 2 operation, since 2nd BARC50 is formed using the good organic acid-resisting agent of embedding nature, 2nd BARC50 is embedded to the whole interior of a beer hall 46. On the other hand, by the manufacture method of this operation form, since 2nd BARC50 is formed using the bad organic acid-resisting agent of embedding nature, 2nd BARC50 is formed so that only the wall surface of a beer hall 46 may be worn (refer to drawing 3 (D)).
[0049] 2nd BARC50 protects effectively the outcrop of the 1st silicon nitride 32, and near the breakthrough of the 2nd silicon nitride 36 in the process of etching for forming the wiring slot 56, even when being formed so that only the wall surface of a beer hall 46 may be worn. Therefore, the wiring element of a dual pellet syn conformation can be formed in the upper part by the manufacture method of this operation form as well as the case of the forms 1 and 2 of operation, without doing damage to the lower layer wiring layer 30.
[0050] The form 4 of operation of this invention is explained with reference to form 4. of operation, next drawing 4 . Drawing 4 (A) - drawing 4 (G) show drawing (left : a cross section, right : plan) for explaining the manufacture method of the semiconductor device of the form 4 operation of this invention. it is shown in drawing 4 (A) -- as -- the manufacture method of this operation form -- setting -- the case of the form 1 of operation -- the same -- processing of Steps 1-5 -- the [the lower layer wiring layer 30, the 1st silicon nitride 32, the 1st silicon oxide 34, the 2nd silicon nitride 36, and] -- the 2 silicon oxide 38 is formed one by one
[0051] this operation form -- setting -- the [the 1st and] -- the 2 silicon oxides 34 and 38 contain 3 - 4% of fluorine Such a silicon oxide shows a small dielectric constant as compared with what does not contain a fluorine. the [moreover, / the 1st and] -- a ratio with Si3N4 film with which 2 silicon nitrides 32 and 36 are widely used for passivation, i.e., silicon, and nitrogen is the film of 3:4 a silicon nitride -- silicon, so that it becomes rich -- an absorption coefficient -- high -- becoming -- nitrogen -- a dielectric constant falls, so that it becomes rich Like this operation form, according to the silicon nitride with a high nitrogen ratio, while an absorption coefficient is not securable, it can suppress a dielectric constant small. Therefore, according to the structure of this operation form, the wiring capacity of a semiconductor device can be suppressed small enough.
[0052] The high-melting point metal membrane 58 which has about 600-1000A thickness is formed in the upper part of the 2nd silicon nitride 38 (Step 16). A titanium nitride is used for the high-melting point metal membrane 58 in this operation form. The 1st photoresist 42 is formed in the upper part of the high-melting point metal membrane 58 like the case of the form 1 of operation of photoengraving process (Step 7).
[0053] As for the light which penetrates the 1st photoresist in the case of the photoengraving process of the 1st photoresist 42, the most is reflected by the high-melting point metal membrane 58. for this reason, according to the manufacture method of this operation form, BARC is not formed in the lower part of the 1st photoresist 42 -- being also alike -- not being concerned -- the [moreover, / the 1st and] -- precision can improve the 1st photoresist 42 patterning, without being influenced by the halation and the optical path difference of the reflected light although the absorption coefficient of 2 silicon nitrides 32 and 36 is comparatively small
[0054] As shown in drawing 4 (B), the high-melting point metal membrane 58 exposed to the opening 44 of the 1st photoresist 42 is removed by etching (Step 17). Subsequently, as shown in drawing 4 (C), by performing processing of Steps 8-11 like the case of the gestalt 1 of operation, a beer hall 46 is formed and a photoresist 48 (organic layer) is further formed in the interior.
[0055] An end of processing (removal of the 1st photoresist 42) of Step 11 forms [next] the 2nd photoresist 52 in the upper part of the high-melting point metal membrane 58 by performing processing of Step 13. As for the light which penetrates the interior in the case of the photoengraving process of the 2nd photoresist 52, the most is reflected by the high-melting point metal membrane 58 like the case of the photoengraving process of the 1st photoresist 42. For this reason, [0056] which precision can improve the 2nd photoresist 52 patterning, without according to the manufacture method of this operation gestalt being influenced by the halation and the optical path difference of the reflected light in spite of not forming BARC in the lower part of the 2nd photoresist 52 By the manufacture method of this operation gestalt next, as shown in drawing 4 (E), the high-melting point metal membrane 58 exposed to the opening 54 of the 2nd photoresist 52 is removed by etching (Step 18).
[0057] Subsequently, as shown in drawing 4 (F), the wiring slot 56 is formed of processing of Step 14 like the case of the gestalt 1 of operation. Etching for forming the wiring slot 56 is performed after the outcrop of the 1st silicon nitride 32 and near the breakthrough of the 2nd silicon nitride 36 have been protected by the photoresist 48. For this reason, according to the manufacture method of this operation gestalt, the wiring element of a dual pellet syn conformation can be formed in the upper part with a sufficient precision like the case of the gestalt 1 of operation, without doing an injury to the lower layer wiring layer 30.
[0058] The wiring slot 56 is formed, and further, if 2nd photoresist 52 grade is removed by ashing, as shown in drawing 4 (G), the high-melting point metal membrane 58 will be removed from the upper part of the 2nd silicon oxide 38 by wet etching (Step 19). After the above-mentioned processing is completed, desired structure can be acquired like the case where it is the gestalt 1 of operation.
[0059] Drawing 5 (A) and drawing 5 (B) show the cross section and plan of a semiconductor device which are manufactured by the manufacture method of this operation gestalt, and the method contrasted. More specifically, drawing 5 (A) and drawing 5 (B) show the state of realizing when the 2nd photoresist 52 is formed without forming the high-melting point metal membrane 58 in the upper part of the 2nd silicon oxide 38.
[0060] Drawing 6 shows the relation between the reflection factor obtained when light (i line) is irradiated from the upper part of the 2nd silicon oxide 38 to the structure shown in drawing 5 , and the thickness of a layer insulation film (32 - 38 grade). Moreover, drawing 7 shows the relation between the reflection factor obtained when light (i line) is irradiated from the upper part of the high-melting point metal membrane 58 to the structure (structure of this operation gestalt) shown in drawing 4 , and the thickness of a layer insulation film.
[0061] When the high-melting point metal membrane 58 is not formed in the front face of the 2nd silicon oxide 38, the light irradiated towards the semiconductor device penetrates a layer insulation film, and is reflected in a silicon substrate or the lower layer wiring layer 30. In this case, the optical path length of the reflected light changes according to the thickness of a layer insulation film, consequently the interference state of an incident light and the reflected light changes. In this case, the reflection factor of light is changed according to the thickness of a layer insulation film, as shown in drawing 6 . For this

of the above is exposed so that the layer of the aforementioned refractory metal may remain the aforementioned base-metal film only to a wrap predetermined field.
[0023] The step which invention according to claim 8 is the manufacture method of the semiconductor device of four a claim 1 or given in any 1 term, and forms the aforementioned lower layer wiring layer The step which forms the slot for lower layer wiring in the 0th insulator layer, and the step which embeds base-metal material after forming a refractory metal into the aforementioned slot for lower layer wiring, It is characterized by having the step which forms in the upper part of the aforementioned base-metal material the silicon nitride which has the absorption coefficient of 0.5-1.0.
[0024] After embedding base-metal material into the aforementioned slot for lower layer wiring, while invention according to claim 9 is the manufacture method of a semiconductor device according to claim 8, and having the step which carries out flattening of the front face of the 0th insulator layer of the above, and the front face of the aforementioned base-metal material The step at which the step which forms the aforementioned silicon nitride forms in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material the layer of the silicon nitride which has the absorption coefficient of 0.5-1.0, It is characterized by having the step which etches so that the layer of the aforementioned silicon nitride may remain the aforementioned base-metal film only to a wrap predetermined field.
[0025] Invention according to claim 10 is the manufacture method of a semiconductor device according to claim 8. After embedding base-metal material into the aforementioned slot for lower layer wiring, while having the step to which only predetermined length hollows the front face of the aforementioned base-metal material as compared with the front face of the 0th insulator layer of the above The step which forms the layer of a silicon nitride in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material after the step which forms the aforementioned silicon nitride hollows the front face of the aforementioned base-metal material, It is characterized by having the step which removes the layer of the aforementioned silicon nitride until the front face of the 0th insulator layer of the above is exposed so that the layer of the aforementioned silicon nitride may remain the aforementioned base-metal film only to a wrap predetermined field.
[0026] Invention according to claim 11 is the manufacture method of the semiconductor device of ten a claim 1 or given in any 1 term, and the aforementioned etching stopper film is characterized by including the silicon nitride which has the absorption coefficient of 0.5-1.0.
[0027] The step which invention according to claim 12 is the manufacture method of the semiconductor device of 11 a claim 1 or given in any 1 term, and forms the high-melting point metal membrane for acid resisting in the upper part of the 2nd insulator layer of the above before carrying out opening of the aforementioned beer hall, After the aforementioned wiring slot is formed, the step which is equipped with the step which removes the aforementioned high-melting point metal membrane for acid resisting which remains in the upper part of the 2nd insulator layer of the above, and carries out opening of the aforementioned beer hall The step which forms the aforementioned wiring slot is characterized by including the step which removes the part corresponding to the aforementioned wiring slot of the aforementioned high-melting point metal membrane for acid resisting including the step which removes the part corresponding to the aforementioned beer hall of the aforementioned high-melting point metal membrane for acid resisting.
[0028] Invention according to claim 13 is the manufacture method of the semiconductor device of 11 a claim 1 or given in any 1 term. The step which forms in the upper part of the 2nd insulator layer of the above the silicon nitride for acid resisting which has the absorption coefficient of 0.5-1.0 before carrying out opening of the aforementioned beer hall, After the aforementioned wiring slot is formed, the step which is equipped with the step which removes the aforementioned silicon nitride for acid resisting which remains in the upper part of the 2nd insulator layer of the above, and carries out opening of the aforementioned beer hall The step which forms the aforementioned wiring slot is characterized by including the step which removes the part corresponding to the aforementioned wiring slot of the aforementioned silicon nitride for acid resisting including the step which removes the part corresponding to the aforementioned beer hall of the aforementioned silicon nitride for acid resisting.
[0029] The step which invention according to claim 14 is the manufacture method of the semiconductor device of 11 a claim 1 or given in any 1 term, and carries out opening of the aforementioned beer hall The step which forms the 1st organic antireflection film in the upper part of the 2nd insulator layer of the above, The step which forms the aforementioned wiring slot in the part corresponding to the aforementioned beer hall at the upper part of the aforementioned 1st organic antireflection film including the step which forms the 1st photoresist film which has opening It is characterized by including the step which forms the 2nd photoresist film which has opening to the part corresponding to the aforementioned wiring slot at the step which forms the 2nd organic antireflection film in the upper part of the 2nd insulator layer of the above, and the upper part of the aforementioned 2nd organic antireflection film.
[0030]
[Embodiments of the Invention] Hereafter, the gestalt of implementation of this invention is explained with reference to a drawing. In addition, the explanation which gives the same sign to the element which is common in each drawing, and overlaps is omitted.
[0031] Gestalt 1. drawing 1 (A) of operation - drawing 1 (F) show drawing for explaining the manufacture method of the semiconductor device of the gestalt 1 operation of this invention. As shown in drawing 1 (A), in the manufacture method of this operation gestalt, the lower layer wiring layer 30 is first formed into the lower layer wiring slot (not shown) established in the silicon substrate (Step 1). The lower layer wiring layer 30 has 13000A thickness, and copper is formed as base-metal material.
[0032] Next, the 2nd silicon nitride 36 (Step 4) which has the thickness of the 34 (Step 3) or 3600A of the 1st silicon oxide which has the thickness of the 32 (Step 2) or 12000A of the 1st silicon nitrides which have 600A thickness, and the 2nd silicon oxide 38 (Step 5) which has 13000A are formed one by one on the lower layer wiring layer 30.
[0033] As shown in drawing 1 (B), the 1st organic antireflection film 40 ("1st BARC40":Bottom Anti-Reflective Coating is called hereafter) which consists of well-known organic acid-resisting material is applied to the upper part of the 2nd silicon oxide 38 (Step 6). On 1st BARC40, the 1st photoresist 42 is formed of photoengraving process (Step 7). The 1st photoresist 42 equips with opening 44 the position which should form a beer hall.
[0034] In the case of patterning of the 1st photoresist 42, on the 1st photoresist 42, where a mask is piled up, light is irradiated towards the 1st photoresist 42. The great portion of light which passed the 1st photoresist 42 is made the reflected light by 1st BARC40. In this case, it is not concerned with the variation in the thickness of a layer insulation film, but the optical path length of the reflected light becomes fixed, and the interference state of the direct light and the

reason, when the high-melting point metal membrane 58 is not formed in the front face of the 2nd silicon oxide 38, the sensitization state of the 2nd photoresist 52 tends to be influenced of the variation in the thickness of a layer insulation film.

[0062] Furthermore, when the high-melting point metal membrane 58 is not formed in the front face of the 2nd silicon oxide 38, the strong reflected light occurs in the lower layer wiring layer 30, and in case it is the photoengraving process of the 2nd photoresist 52, the halation by the reflected light arises. For this reason, when the high-melting point metal membrane 58 is not formed, as shown in drawing 5 (B), it is easy to produce a pattern error in the opening 44 of the 2nd photoresist 52.

[0063] On the other hand, even if the thickness of a layer insulation film (32 - 38 grade) changes as shown in drawing 7 since the light irradiated towards the semiconductor device is reflected by the high-melting point metal membrane 58 when the high-melting point metal membrane 58 is formed in the front face of the 2nd silicon oxide 38, the reflection factor of light is maintained at about 1 constant value. Furthermore, since irradiation light does not reach the lower layer wiring layer 10 in this case, the problem of halation does not arise. For this reason, according to the manufacture method of this operation gestalt, as shown in drawing 4 (D) etc., the 2nd photoresist 52 can be formed with a sufficient precision.
[0064] Thus, in the manufacture method of this operation gestalt, the high-melting point metal membrane 58 formed in the front face of the 2nd silicon oxide 38 functions as ARC which prevents generating of the reflected light leading to a pattern error. Moreover, unlike the gestalt 1 of operation, or the case of 3, whenever it forms the 1st and 2nd photoresists 42 and 52, it is not necessary according to using the high-melting point metal membrane 58 as ARC, to form ARC. For this reason, according to the manufacture method of this operation gestalt, the semiconductor device which has an advanced configuration precision at an easy process can be manufactured.
[0065] In addition, in the above-mentioned operation gestalt, the high-melting point metal membrane 58 is equivalent to the "high-melting point metal membrane for acid resisting" of the claim 12 aforementioned publication.
[0066] The gestalt 5 of gestalt 5. of operation, next operation of this invention is explained. The manufacture method of the semiconductor device of this operation gestalt is realized because a ratio with the silicon nitride which has the absorption coefficient of 0.5-1.0, i.e., silicon, and nitrogen uses the high-melting point metal membrane 58 in the manufacture method of the gestalt 4 operation as the SiN film of 1:1. According to the above-mentioned silicon nitride, it functions as ARC on the 2nd silicon oxide 38 like the case of the high-melting point metal membrane 58. For this reason, the semiconductor device which was excellent in the dimensional accuracy can be formed by the manufacture method of this operation gestalt as well as the case of the gestalt 4 of operation.
[0067] Moreover, unlike the high-melting point metal membrane 58, a silicon nitride is an insulator layer. Therefore, it is not necessary to necessarily remove the silicon nitride formed on the 2nd silicon oxide 38. For this reason, according to the manufacture method of this operation gestalt, as compared with the manufacture method of the gestalt 4 operation, simplification of the further process is possible.
[0068] In addition, in the above-mentioned operation gestalt, the silicon nitride (SiN film) formed on the 2nd silicon oxide is equivalent to the "silicon nitride for acid resisting" of the claim 13 aforementioned publication.
[0069] The gestalt 6 of operation of this invention is explained with reference to gestalt 6. of operation, next drawing 8 . Drawing 8 (A) or drawing 8 (H) shows drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation gestalt.
[0070] As shown in drawing 8 (A), by the manufacture method of this operation gestalt, the silicon oxide 62 which has 13000A thickness is first formed of CVD on the silicon nitride 60 which has 600A thickness (Step 20).
[0071] Next, as shown in drawing 8 (B), patterning of the slot 64 for lower layer wiring is carried out to a silicon oxide 62 by photoengraving process and anisotropic etching (Step 21).
[0072] As shown in drawing 8 (C), the high-melting point metal membrane 66 which has about 500-1000A thickness is formed in the upper part of a silicon oxide 62, and the interior of the slot 64 for lower layer wiring of a spatter or CVD (Step 22). The high-melting point metal membrane 66 is formed of titanium, the titanium nitride, the tantalum, or the tantalum nitride.
[0073] As shown in drawing 8 (D), the base-metal material 68 which has 15000-20000A thickness is formed in the upper part (the interior of the slot 64 for lower layer wiring is included) of the high-melting point metal membrane 66 of a spatter, CVD, plating, or those combination (Step 23). In this operation gestalt, the base-metal material 68 is formed with copper.
[0074] it is shown in drawing 8 (E) -- as -- the base-metal material 68 and a refractory metal 66 -- the CMP method -- or flattening of the front face of the base-metal material 68 and the front face of a silicon oxide 62 is carried out by the technique of whole surface etchback (Step 24)
[0075] As shown in drawing 8 (F), the high-melting point metal membrane 70 which has about 100-1000A thickness is formed in the upper part of the silicon oxide 62 by which flattening was carried out, and the base-metal material 68 by making titanium deposit by the same technique as the case of Step 22 (Step 25).
[0076] As shown in drawing 8 (G), if it is a pile, the portion which any of the base-metal material 68 and the high-melting point metal membrane 66 do not have among the high-melting point metal membranes 70 is removed by photoengraving process and etching (Step 26). By performing the above-mentioned processing, only the portion corresponding to the slot 64 for lower layer wiring in a refractory metal 70 remains. Consequently, the lower layer wiring layer 30 is formed of the base-metal material 68 and the high-melting point metal membranes 66 and 70. In addition, in processing of Step 26, photoengraving process is performed using the mask (reticle) used for patterning (step 21 reference) of the slot 64 for lower layer wiring, and the photoresist used on that occasion and the photoresist which has reverse polarity (a negative or positive).
[0077] As shown in drawing 8 (H), the 1st silicon oxide 34, the 2nd silicon nitride 36, and the 2nd silicon oxide 38 are formed in the upper part of a silicon oxide 62 and the lower layer wiring layer 30 one by one by performing processing of Steps 3-5 like the gestalt 1 of operation, or the case of 5. Henceforth, the wiring element of a dual pellet syn conformation is formed in the upper part of the lower layer wiring layer 30 by performing processing to approximate like any [the gestalt 1 of operation, or] of 5 they are.
[0078] In the manufacture method of this operation gestalt, the wrap refractory-metal material 70 functions as ARC which prevents the halation according the base-metal material 68 of the lower layer wiring layer 30 to the reflected light in the case of the photoengraving process of the 1st or 2nd photoresist 42 and 52. moreover, the silicon with which the 2nd silicon nitride 36 has the absorption coefficient of 0.5-1.0 in this operation gestalt -- it is formed by the rich nitride More

[0092] Henceforth, desired composition is realized by performing the form 6 of operation mentioned above, or the same processing as the case of 8. In the manufacture method of this operation form, the 1st silicon nitride 32 functions as ARC, a barrier layer, and an etching stopper film like the case of the form 8 (refer to drawing 10) of operation. For this reason, according to the manufacture method of this operation form, the semiconductor device which has the dimensional accuracy excellent in the easy process can be manufactured.
[0093] According to the manufacture method of this operation form, as compared with the case of the form 8 of operation, residual area of the 1st silicon nitride 32 can be made small. The wiring capacity of a semiconductor device becomes so little that the area of a silicon nitride is small. Therefore, according to the manufacture method of this operation form, the small semiconductor device of wiring resistance can be manufactured as compared with the case of the form 8 of operation.
[0094] The form 7 of operation of this invention is explained with reference to form 10. of operation, next drawing 12 . Drawing 12 (A) – drawing 12 (E) show drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation form.
[0095] Drawing 12 (A) shows the same state as drawing 8 (E) in the form 6 of operation. By the manufacture method of this operation form, the state of drawing 12 (A) is formed by performing processing of Steps 20–24 like the case of the form 6 of operation. As shown in drawing 12 (B), by the manufacture method of this operation form next, processing of Step 27 is performed like the case of the form 7 (refer to drawing 9) of operation. Consequently, as compared with the front face of a silicon oxide 62, about 100–1000A of front faces of the base–metal material 68 is made low by over etching or over etching.
[0096] The 1st silicon nitride 32 is formed on over etching or the silicon oxide 62 by which exaggerated polishing was carried out, and the base–metal material 68 (Step 2). the silicon which has the absorption coefficient of 0.5–1.0 in the 1st silicon nitride 32 in this operation form like the case of the forms 8 or 9 (drawing 10 and 11 references) of operation –– the SiN film of 1:1 is used for a ratio with a rich film, i.e., silicon, and nitrogen (drawing 12 (C))
[0097] It is removed by the whole surface etchback method or the CMP method until the front face and front face of a silicon oxide 62 become flat [the 1st silicon nitride 32], as shown in drawing 12 (D) (Step 30). By performing the above–mentioned processing, the lower layer wiring layer 30 is formed into a silicon oxide 62.
[0098] Henceforth, desired composition is realized by performing the form 6 of operation mentioned above, or the same processing as the case of 9. In the manufacture method of this operation form, the 1st silicon nitride 32 functions as ARC, barrier metal, and an etching stopper film like the case of the forms 8 and 9 (drawing 10 and 11 references) of operation. For this reason, according to the manufacture method of this operation form, the semiconductor device which has the dimensional accuracy excellent in the easy process can be manufactured.
[0099] Moreover, according to the manufacture method of this operation form, while being able to make small residual area of the 1st silicon oxide 32, flattening of the front face of the 1st silicon oxide 32 and the front face of a silicon oxide 62 can be carried out. For this reason, according to the manufacture method of this operation form, while manufacturing a semiconductor device with a small wiring capacity, a highly precise wiring element can be easily formed on the lower layer wiring layer 30.
[0100]
[Effect of the Invention] Since this invention is constituted as explained above, an effect as taken below is done so.
According to invention according to claim 1, after an organic layer is formed in the interior of a beer hall, etching for forming a wiring slot is performed. In this case, since an organic layer serves as a protective coat, a lower layer wiring layer does not receive an injury by etching for forming a wiring slot.
[0101] According to invention according to claim 2, the organic layer is formed to the upper part of an etching stopper film. In this case, in the process of etching for forming a wiring slot, the breakthrough (hole by the beer hall) of an etching stopper layer is protected by the organic layer. Therefore, according to this invention, the injury on the lower layer wiring layer by the path of the upper limit of a beer hall being expanded can be prevented.
[0102] According to invention according to claim 3, an organic layer can be formed at an easy process by using a photoresist.
[0103] According to invention according to claim 4, an organic layer can be formed at an easy process by using an organic acid–resisting agent. Moreover, in forming an organic antireflection film on the 2nd insulator layer, in case it forms an organic antireflection film according to this invention, it can serve with the process and an organic layer can be formed easily.
[0104] According to invention according to claim 5, the base–metal material of a lower layer wiring layer can be covered by the high–melting point metal membrane. According to the high–melting point metal membrane, the halation of the reflected light can be prevented. Therefore, according to this invention, patterning of the photoresist can be carried out by the outstanding dimensional accuracy, without being influenced by halation in the case of photoengraving process.
[0105] According to invention according to claim 6, a wrap high–melting point metal membrane can be formed only for the upper surface of the base–metal material of a lower layer wiring layer at an easy process.
[0106] According to invention according to claim 7, a wrap high–melting point metal membrane can be formed in the interior of the slot for lower layer wiring only for the upper surface of the base–metal material of a lower layer wiring layer at an easy process. In this case, since the width of face of a high–melting point metal membrane does not overflow the width of face of a lower layer wiring layer, the short margin between wiring elements can be made small. Moreover, since the front face of a high–melting point metal membrane and the front face of a silicon substrate become flat, the wiring element formed in the upper part of a lower layer wiring layer can be easily formed with a sufficient precision.
[0107] According to invention according to claim 8, the base–metal material of a lower layer wiring layer can be covered by the silicon nitride which has the absorption coefficient of 0.5–1.0. According to the above–mentioned silicon nitride, the halation of the reflected light can be prevented. Therefore, according to this invention, patterning of the photoresist can be carried out by the outstanding dimensional accuracy, without being influenced by halation in the case of photoengraving process.
[0108] According to invention according to claim 9, the silicon nitride which has the absorption coefficient of 0.5–1.0 can be formed at an easy process so that only the upper surface of the base–metal material of a lower layer wiring layer may be worn. Therefore, wiring capacity can be suppressed small, realizing the function to prevent halation according to this invention.
[0109] According to invention according to claim 10, the silicon nitride which has the absorption coefficient of 0.5–1.0 can be formed in the interior of the slot for lower layer wiring at an easy process so that only the upper surface of the base–metal material of a lower layer wiring layer may be worn. In this case, since the front face of a silicon nitride and the front face of

a silicon substrate become flat, the wiring element formed in the upper part of a lower layer wiring layer can be easily formed with a sufficient precision.

[0110] According to invention according to claim 11, the etching stopper film which functions as a stopper film in the case of etching of a wiring slot is formed by the silicon nitride which has the absorption coefficient of 0.5-1.0. In this case, since the amount of transparency of light is suppressed with an etching stopper film, the influence of halation is further mitigable.

[0111] According to invention according to claim 12, the high-melting point metal membrane for acid resisting is formed in the front face of the 2nd insulator layer. In this case, since light is efficiently reflected on the front face of the high-melting point metal membrane for acid resisting, the optical path difference does not arise in the reflected light. Therefore, according to this invention, precision can improve a photoresist extremely patterning.

[0112] According to invention according to claim 13, the silicon nitride for acid resisting which has the absorption coefficient of 0.5-1.0 is formed in the front face of the 2nd insulator layer. In this case, since light is efficiently reflected on the front face of the silicon nitride for acid resisting, the optical path difference does not arise in the reflected light. Therefore, according to this invention, precision can improve a photoresist extremely patterning.

[0113] According to invention according to claim 14, where an organic antireflection film is formed between the 2nd insulator layer and a photoresist, sensitization processing of a photoresist is performed. In this case, since the light irradiated by the photoresist is efficiently reflected on the front face of an organic antireflection film, the optical path difference does not arise in the reflected light. Therefore, according to this invention, precision can improve a photoresist extremely patterning.

[Translation done.]

specifically, the ratio of silicon and nitrogen is formed of SiN of 1:1. According to such a 2nd silicon nitride 36, transparency of irradiation light can be effectively prevented in the case of the photoengraving process of the 1st or 2nd photoresist 42 and 52, and the halation by the reflected light can be prevented effectively.

[0079] In the gestalt 1 of operation, or 5, in order to prevent aggravation of the pattern precision resulting from the halation of the reflected light etc., the organic antireflection film, the high-melting point metal membrane, etc. are formed on the 2nd silicon oxide 38. However, in the manufacture method of this operation gestalt, the function of ARC can be filled like the above by the high-melting point metal membrane 70 and the 2nd silicon nitride 36 of the lower layer wiring layer 30. For this reason, in the manufacture method of this operation gestalt, even if it omits ARC of the upper part of the 2nd silicon oxide 38, the error of the pattern precision resulting from the reflected light can be suppressed effectively, and the semiconductor device which has a highly precise dimensional accuracy can be manufactured.

[0080] Moreover, in addition to the wrap high-melting point metal membrane 70 functioning the base-metal material 68 as ARC, in the manufacture method of this operation gestalt, it functions also as oxidization of the base-metal material 68 (copper), and a barrier metal which prevents diffusion. Furthermore, in case the high-melting point metal membrane 70 etches the 1st silicon oxide 34, it functions also as a stopper film which stops advance of the etching. For this reason, according to the manufacture method of this operation gestalt, it is not necessary to form the 1st silicon nitride 32 needed by the gestalt 1 of operation, or 5 on the lower layer wiring layer 30. If the 1st silicon nitride 32 is omissible, the dielectric constant of a layer insulation film will fall and wiring capacity will fall. Therefore, according to the manufacture method of this operation gestalt, as compared with the gestalt 1 of operation, or the case of 5, a semiconductor device with a small wiring capacity can be manufactured.

[0081] The gestalt 7 of operation of this invention is explained with reference to gestalt 7. of operation, next drawing 9 . Drawing 9 (A) - drawing 9 (E) show drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation gestalt.

[0082] Drawing 9 (A) shows the same state as drawing 8 (E) in the gestalt 6 of operation. By the manufacture method of this operation gestalt, the state of drawing 9 (A) is formed by performing processing of Steps 20-24 like the case of the gestalt 6 of operation. As shown in drawing 9 (B), by the manufacture method of this operation gestalt, over etching or exaggerated polishing is performed so that about 100-1000A of front faces of the base-metal material 68 may become low as compared with the front face of a silicon oxide 62 (Step 27).

[0083] On over etching or the silicon oxide 62 by which exaggerated polishing was carried out, and the base-metal material 68, the about 100-1000A high-melting point metal membrane 70 is formed by the same technique as Step 25 of the gestalt 8 of operation (drawing 9 (C)).

[0084] It is removed by the whole surface etchback method or the CMP method until the front face and front face of a silicon oxide 62 become flat [the high-melting point metal membrane 70], as shown in drawing 9 (D) (Step 28). By performing the above-mentioned processing, the lower layer wiring layer 30 is formed into a silicon oxide 62.

[0085] Henceforth, desired composition is realized by performing the same processing as the case of the gestalt 6 of operation mentioned above. In the manufacture method of this operation gestalt, the high-melting point metal membrane 70 of the lower layer wiring layer 30 functions as ARC, barrier metal, and an etching stopper film like the case of the gestalt 6 of operation. For this reason, the semiconductor device which has the dimensional accuracy which was excellent in the easy process like the case of the gestalt 6 of operation also by the manufacture method of this operation gestalt can be manufactured. Moreover, according to the manufacture method of this operation gestalt, flattening of the front face of the lower layer wiring layer 30 and the front face of a silicon oxide 62 can be carried out. For this reason, according to the manufacture method of this operation gestalt, as compared with the case of the gestalt 6 of operation, a wiring element can be formed with a sufficient precision on the lower layer wiring layer 30 still more easily.

[0086] The gestalt 7 of operation of this invention is explained with reference to gestalt 8. of operation, next drawing 10 . Drawing 10 (A) - drawing 10 (C) show drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation gestalt.

[0087] Drawing 10 (A) shows the same state as drawing 8 (E) in the gestalt 6 of operation. By the manufacture method of this operation gestalt, the state of drawing 10 (A) is formed by performing processing of Steps 20-24 like the case of the gestalt 6 of operation. As shown in drawing 10 (B), the 1st silicon nitride 32 is formed in the upper part of a silicon oxide 62 and the base-metal material 68 by the manufacture method of this operation gestalt (Step 2). the silicon which has the absorption coefficient of 0.5-1.0 in the 1st silicon nitride 32 in this operation gestalt -- a ratio with a rich film, i.e., silicon, and nitrogen is the SiN film of 1:1

[0088] After the 1st silicon nitride 32 is formed, desired composition is realized by performing the same processing as the case where they are the gestalten 6 and 7 of operation mentioned above. In the manufacture method of this operation gestalt, the 1st silicon nitride 32 functions as ARC, a barrier layer, and an etching stopper film like the high-melting point metal membrane 70 in the gestalten 6 or 7 of operation. For this reason, according to the manufacture method of this operation gestalt, the semiconductor device which has the dimensional accuracy excellent in the easy process can be manufactured.

[0089] The form 7 of operation of this invention is explained with reference to form 9. of operation, next drawing 11 . Drawing 11 (A) - drawing 11 (C) show drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation form.

[0090] Drawing 11 (A) shows the same state as drawing 8 (E) in the form 6 of operation. By the manufacture method of this operation form, the state of drawing 11 (A) is formed by performing processing of Steps 20-24 like the case of the form 6 of operation. As shown in drawing 11 (B), the 1st silicon nitride 32 is formed in the upper part of a silicon oxide 62 and the base-metal material 68 by the manufacture method of this operation form (Step 2). the silicon which has the absorption coefficient of 0.5-1.0 like the case of the form 8 (refer to drawing 10) of operation in the 1st silicon nitride 32 in this operation form -- the SiN film of 1:1 is used for a ratio with a rich film, i.e., silicon, and nitrogen

[0091] As shown in drawing 11 (C), if it is a pile, the portion which any of the base-metal material 68 and the high-melting point metal membrane 66 do not have among the 1st silicon nitrides 32 is removed by photoengraving process and etching (Step 29). By performing the above-mentioned processing, only the portion corresponding to the slot 64 for lower layer wiring in the 1st silicon nitride 32 remains. In addition, in processing of Step 29, photoengraving process is performed using the mask (reticle) used for patterning (step 21 reference) of the slot 64 for lower layer wiring, and the photoresist used on that occasion and the photoresist which has reverse polarity (a negative or positive).

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] It is drawing for explaining the manufacture method of the semiconductor device of the gestalt 1 operation of this invention.
[Drawing 2] It is drawing for explaining the manufacture method of the semiconductor device of the gestalt 2 operation of this invention.
[Drawing 3] It is drawing for explaining the manufacture method of the semiconductor device of the gestalt 3 operation of this invention.
[Drawing 4] It is drawing for explaining the manufacture method of the semiconductor device of the gestalt 4 operation of this invention.
[Drawing 5] It is drawing for explaining the state where it is obtained when the high-melting point metal membrane for acid resisting is not used.
[Drawing 6] It is drawing showing the relation of the thickness of a layer insulation film and a reflective film in case the high-melting point metal membrane for acid resisting is not used.
[Drawing 7] It is drawing showing the relation of the thickness of a layer insulation film and a reflective film in case the high-melting point metal membrane for acid resisting is used.
[Drawing 8] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 6 of operation of this invention.
[Drawing 9] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 7 of operation of this invention.
[Drawing 10] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 8 of operation of this invention.
[Drawing 11] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 9 of operation of this invention.
[Drawing 12] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 10 of operation of this invention.
[Drawing 13] It is drawing for explaining the principal part of the manufacture method of the conventional semiconductor device.
[Drawing 14] It is drawing for explaining the trouble of the manufacture method of the conventional semiconductor device.
[Description of Notations]
30 Lower Layer Wiring Layer 32 1st Silicon Nitride 34 1st Silicon Oxide, 36 The 2nd silicon nitride 38 The 2nd silicon oxide, 40 The 1st organic antireflection film (the 1st BARC) 42 The 1st photoresist, 46 Beer hall 48 Photoresist 50 The 2nd organic antireflection film (the 2nd BARC), 52 The 2nd photoresist 56 A wiring slot, 58; 70 High-melting point metal membrane 64 Slot for lower layer wiring 68 Base-metal material.

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2000－150644
（P2000－150644A）
(43)公開日　平成12年５月30日(2000.5.30)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード'（参考）
Ｈ０１Ｌ　21/768		Ｈ０１Ｌ　21/90	Ａ	５Ｆ００４
21/302		21/302	Ｚ	５Ｆ０３３
21/3205		21/88	Ｋ	
		21/90	Ｍ	

審査請求　未請求　請求項の数14　ＯＬ　（全 18 頁）

(21)出願番号　特願平10－318556

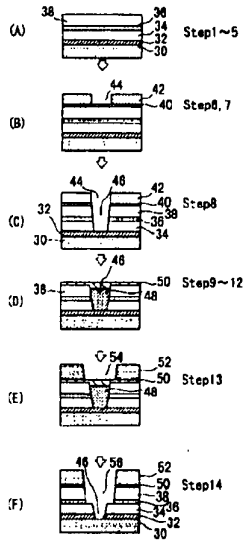
(22)出願日　平成10年11月10日(1998.11.10)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(72)発明者　原田　昭彦
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　斉藤　隆幸
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(74)代理人　100082175
弁理士　高田　守　（外１名）

最終頁に続く

(54)【発明の名称】　半導体デバイスの製造方法

(57)【要約】
【課題】　本発明は下層配線層の上部にデュアルダマシン構造の配線要素を備える半導体デバイスの製造方法に関し、下層配線層の損傷を防止することを目的とする
【解決手段】　下層配線層３０の上に、第１シリコン窒化膜３２、第１シリコン酸化膜３４、第２シリコン窒化膜３６および第２シリコン酸化膜３８を順次形成する（ステップ１～５）　下層配線層３０の上部に、第２シリコン酸化膜３８、および、第２シリコン窒化膜３６を貫通するビアホール４６を形成する（ステップ６～８）　ビアホール４６の内部に、その内壁を覆うようにフォトレジスト４８を埋め込む（ステップ９～１２）　フォトレジスト４８による保護膜を形成した後に、第２シリコン酸化膜３８および第２シリコン窒化膜３６の所定部位を除去して配線溝５６を形成する（ステップ１３，１４）



【特許請求の範囲】
【請求項１】　デュアルダマシン構造の配線要素を備える半導体デバイスの製造方法であって、
下層配線上にメタルの拡散防止膜を形成するステップと、
前記拡散防止膜の上部に第１絶縁膜を形成するステップと、
前記第１絶縁膜の上部にエッチングストッパ膜を形成するステップと、
前記エッチングストッパ膜の上部に第２絶縁膜を形成するステップと、
前記下層配線の上部に、前記第２絶縁膜、前記エッチングストッパ膜、および、前記第１絶縁膜を貫通するビアホールを形成するステップと、
前記ビアホールの内部に、そのビアホールの内壁を覆う有機層を形成するステップと、
前記有機層の形成後に、前記第２絶縁膜の所定部位をエッチングにより除去して配線溝を形成するステップと、
を備えることを特徴とする半導体デバイスの製造方法
【請求項２】　前記有機層は、前記ビアホールが、少なくともその底面から前記第２絶縁膜の内面に至る領域において覆われるように形成されることを特徴とする請求項１記載の半導体デバイスの製造方法
【請求項３】　前記有機層を形成するステップは、
前記ビアホールの内部にフォトレジストを埋め込むステップと、
前記フォトレジストを硬化させるステップとを備えることを特徴とする請求項１または２記載の半導体デバイスの製造方法
【請求項４】　前記有機層を形成するステップは、
前記ビアホールの内部に、前記有機層として有機反射防止剤の層を形成するステップを備えることを特徴とする請求項１または２記載の半導体デバイスの製造方法
【請求項５】　前記下層配線層を形成するステップは、
シリコン基板上にエッチングストッパ膜を形成するステップと、
前記エッチングストッパ膜上に第０絶縁膜を形成するステップと、
写真製版および異方性エッチングにより下層配線用溝を形成するステップと、
前記下層配線用溝の中に高融点金属膜を形成した後に主金属材を埋め込むステップと、
下層配線用溝の外部にある余分な主金属剤を除去するステップと、
前記主金属材の上部に、高融点金属膜を形成するステップと、
を備えることを特徴とする請求項１乃至４の何れか１項記載の半導体デバイスの製造方法
【請求項６】　前記下層配線用溝の中に主金属材を埋め込んだ後に、前記第０絶縁膜の表面が露出し、前記下層配線用溝の外部に主金属材が無くなるまで平坦化するステップを備えると共に、
前記高融点金属膜を形成するステップは、
前記シリコン基板および前記主金属材の上部に高融点金属の層を形成するステップと、
前記高融点金属の層が前記主金属膜を覆う所定の領域のみに残存するようにエッチングを行うステップと、
を備えることを特徴とする請求項５記載の半導体装置の製造方法
【請求項７】　前記下層配線用溝の中に主金属材を埋め込んだ後に、前記主金属材の表面を、前記第０絶縁膜の表面に比して所定長だけ窪ませるステップを備えると共に、
前記高融点金属膜を形成するステップは、
前記主金属材の表面を窪ませた後に、前記第０絶縁膜および前記主金属材の上部に高融点金属の層を形成するステップと、
前記高融点金属の層が前記主金属膜を覆う所定の領域のみに残存するように、前記第０絶縁膜の表面が露出するまで前記高融点金属の膜を除去するステップと、
を備えることを特徴とする請求項５記載の半導体装置の製造方法
【請求項８】　前記下層配線層を形成するステップは、
第０絶縁膜に下層配線用溝を形成するステップと、
前記下層配線用溝の中に高融点金属膜を形成した後に主金属材を埋め込むステップと、
前記主金属材の上部に、０．５～１．０の吸収係数を有するシリコン窒化膜を形成するステップと、
を備えることを特徴とする請求項１乃至４の何れか１項記載の半導体デバイスの製造方法
【請求項９】　前記下層配線用溝の中に主金属材を埋め込んだ後に、前記第０絶縁膜の表面と前記主金属材の表面とを平坦化するステップを備えると共に、
前記シリコン窒化膜を形成するステップは、
前記シリコン基板および前記主金属材の上部に０．５～１．０の吸収係数を有するシリコン窒化物の層を形成するステップと、
前記シリコン窒化物の層が前記主金属膜を覆う所定の領域のみに残存するようにエッチングを行うステップと、
を備えることを特徴とする請求項８記載の半導体装置の製造方法
【請求項１０】　前記下層配線用溝の中に主金属材を埋め込んだ後に、前記主金属材の表面を、前記第０絶縁膜の表面に比して所定長だけ窪ませるステップを備えると共に、
前記シリコン窒化膜を形成するステップは、
前記主金属材の表面を窪ませた後に、前記シリコン基板および前記主金属材の上部にシリコン窒化物の層を形成するステップと、
前記シリコン窒化物の層が前記主金属膜を覆う所定の領

reference 2

域のみに残存するように、前記第０絶縁膜の表面が露出するまで前記シリコン窒化物の膜を除去するステップと、
を備えることを特徴とする請求項８記載の半導体装置の製造方法
【請求項１１】　前記エッチングストッパ膜は、０．５～１．０の吸収係数を有するシリコン窒化膜を含むことを特徴とする請求項１乃至１０の何れか１項記載の半導体デバイスの製造方法
【請求項１２】　前記ビアホールを開口する前に、前記第２絶縁膜の上部に反射防止用高融点金属膜を形成するステップと、
前記配線溝が形成された後に、前記第２絶縁膜の上部に残存する前記反射防止用高融点金属膜を除去するステップとを備え、
前記ビアホールを開口するステップは、前記反射防止用高融点金属膜の、前記ビアホールに対応する部位を除去するステップを含み、
前記配線溝を形成するステップは、前記反射防止用高融点金属膜の、前記配線溝に対応する部位を除去するステップを含むことを特徴とする請求項１乃至１１の何れか１項記載の半導体デバイスの製造方法
【請求項１３】　前記ビアホールを開口する前に、前記第２絶縁膜の上部に０．５～１．０の吸収係数を有する反射防止用シリコン窒化膜を形成するステップと、
前記配線溝が形成された後に、前記第２絶縁膜の上部に残存する前記反射防止用シリコン窒化膜を除去するステップとを備え、
前記ビアホールを開口するステップは、前記反射防止用シリコン窒化膜の、前記ビアホールに対応する部位を除去するステップを含み、
前記配線溝を形成するステップは、前記反射防止用シリコン窒化膜の、前記配線溝に対応する部位を除去するステップを含むことを特徴とする請求項１乃至１１の何れか１項記載の半導体デバイスの製造方法
【請求項１４】　前記ビアホールを開口するステップは、
前記第２絶縁膜の上部に第１有機反射防止膜を成膜するステップと、
前記第１有機反射防止膜の上部に、前記ビアホールに対応する部位に開口部を有する第１フォトレジスト膜を形成するステップとを含み、
前記配線溝を形成するステップは、
前記第２絶縁膜の上部に第２有機反射防止膜を成膜するステップと、
前記第２有機反射防止膜の上部に、前記配線溝に対応する部位に開口部を有する第２フォトレジスト膜を形成するステップとを含むことを特徴とする請求項１乃至１１の何れか１項記載の半導体デバイスの製造方法
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、半導体デバイスの製造方法に係り、特に、下層配線層の上部にデュアルダマシン構造の配線要素を備える半導体デバイスの製造方法に関する
【０００２】
【従来の技術】半導体デバイスの配線材料としては、銅などの比抵抗の小さな材質が用いられることがある　半導体デバイスにおいて、銅を用いた多層配線には、一般にデュアルダマシン構造、すなわち、層間絶縁膜にビアホールと配線溝とを形成した後に、それらに金属を埋め込んで配線を形成する構造が用いられる
【０００３】図１３（Ａ）～図１３（Ｃ）は、デュアルダマシン構造の配線を有する従来の半導体デバイスの製造方法を説明するための図を示す　従来の製造方法において、下層配線１０は、シリコン基板上の所定部位に溝エッチングストッパ膜および第０絶縁膜を形成した後、写真製版およびエッチングにより、例えば銅により形成される　下層配線層１０の上部には、第１シリコン窒化膜（Si_3N_4）１２、第１シリコン酸化膜１４、第２シリコン窒化膜（Si_3N_4）１６、第２シリコン酸化膜１８が順次形成される　更に、第２シリコン酸化膜１８の上部に、ビアホール１９に対応する部位に開口部を有する第１フォトレジスト２０が形成される
【０００４】次に、第１フォトレジスト２０をマスクとして、ビアホール１９を開口するための異方性ドライエッチングが行われる　上記のエッチングは、ビアホール１９の内部に第１シリコン窒化膜１２が露出するまで行われる（図１３（Ａ））　エッチングの過程において、第１シリコン窒化膜１２は、エッチングの進行を止めるストッパ膜として機能する
【０００５】ビアホール１９を開口するためのエッチングが終了すると、第２シリコン酸化膜１８の上部から第１フォトレジスト２０が除去され、代わりに、配線溝に対応する部位に開口部を有する第２フォトレジスト２２が形成される（図１３（Ｂ））
【０００６】次に、第２フォトレジスト２２をマスクとして、配線溝２４を開口するための異方性ドライエッチングが行われる（図１３（Ｃ））　上記のエッチングは、先ず、シリコン酸化膜を、シリコン窒化膜に対して大きな選択比で除去し得る条件で行われる　この際、第１および第２シリコン窒化膜１２、１６は、共にエッチングの進行を止めるためのストッパ膜として用いられる　次に、配線溝２４の内部に露出した第２シリコン窒化膜１６、および、ビアホール１９の内部に露出している第１シリコン窒化膜１２を除去するためのエッチングが行われる　これらの処理が適正に行われると、下層配線層１０の表面を露出させるビアホール１９と、ビアホール１９と通じる配線溝２４とが形成される
【０００７】

【発明が解決しようとする課題】しかし、第１シリコン窒化膜１２は、配線溝２４を形成するためのエッチングの実行中、ビアホール１９の底部において常にエッチャントにさらされる（以下、その部位を「露出部」と称す）　また、その露出部は、製造条件のバラツキ等に起因して、ビアホール１９を開口するためのエッチングの過程で多量にエッチングされることがある　このような状況下では、配線溝２４を開口するためのエッチングの過程で、ビアホール１９が第１シリコン窒化膜１２を突き抜けて、下層配線層１０の表面が露出することがある　この場合、以後エッチングが継続されることにより、図１３（Ｃ）に示す如く、下層配線層１０に損傷が生ずる
【０００８】また、従来の製造方法において、配線溝２４を開口するためのエッチングは、上記の如くビアホール１９の開口後に行われる　この場合、第２シリコン酸化膜１４や第２シリコン窒化膜１６は、ビアホール１９の開口部付近において、他の部位に比して大きくエッチングの効果を受けやすい　このため、従来の製造方法によれば、配線溝２４を開口するためのエッチングの過程で、第２シリコン窒化膜１６に設けられた貫通孔（ビアホール１９による孔）の径は拡大されやすい
【０００９】図１４は、第２シリコン窒化膜１６の貫通孔の径がエッチングの過程で拡大された場合に生ずる状態を示す　図１４において、破線で示す形状は、第１および第２シリコン窒化膜１２、１６がストッパ膜として適正に機能した場合に得られる理想の状態を示す　図１４において、下層配線層１０は、理想状態のビアホール１９の径とほぼ等しい幅を有している　また、下層配線層１０は、その周囲にバリアメタル２６の膜を備えている
【００１０】配線溝２４の形成過程で第２シリコン窒化膜１６の貫通孔の径が拡大されると、ビアホール１９の形状は、図１４に示す如く、上端部の径が下端部の径に比して大きなテーパ形状となる　ビアホール１９がテーパ状に形成されると、下層配線層１４の側面がエッチャントにさらされ易くなる　この場合、エッチングの影響でバリアメタル２６が損傷を受け、配線層の主金属とバリアメタル２６との膜剥がれが生じ易くなる　このように、従来の半導体デバイスの製造方法は、下層配線層１０の上部にデュアルダマシン構造の配線要素を形成する際に、下層配線層１０に種々の損傷を生じさせ易いという問題を有するものであった
【００１１】ところで、従来の半導体装置において配線層の主金属として用いられる銅は、アルミに比べて高い反射率を有している　従来の製造方法においては、ビアホール１９を開口するための第１フォトレジスト２０をパターニングする際（図１３（Ａ）参照）、および、配線溝２４を形成するための第２フォトレジスト２２をパターニングする際（図１３（Ｂ）参照）に、それらの上方から光（例えばｉ線）を照射してフォトレジストを感光させる処理が行われる　フォトレジストは、その上部から照射された直接光と、フォトレジストを通過した後、基板側で反射して戻ってくる反射光とを受けて感光する　このため、フォトレジストの感光状態は、反射光の強度や、直接光と反射光との干渉状態等に大きな影響を受ける
【００１２】従来の半導体デバイスが用いるシリコン酸化膜やシリコン窒化膜は、一般に光を透過させる　このため、フォトレジストを通過した光の一部は、シリコン酸化膜やシリコン窒化膜を透過して、下層配線層１０やシリコン基板の表面まで到達する　このため、下層配線層１０の上部に塗布されたフォトレジストは、下層配線層１０で生成された反射光を受光する　また、下層配線層１０の形成されていない領域の上部に塗布されたフォトレジストは、下層配線層１０の更に下層に位置するシリコン基板の表面で反射された反射光を受光する
【００１３】下層配線層１０で反射された反射光がフォトレジストに到達するまでに通過する光路の長さ、および、シリコン基板の表面で反射された反射光がフォトレジストに到達するまでに通過する光路の長さは、光の反射面とフォトレジストとの間に介在する層間絶縁膜の膜厚のバラツキに応じて変動する　また、それらの光路差が変動すると、フォトレジストが受光する直接光と反射光の干渉状態が変化して、フォトレジストの感光状態にバラツキが生ずる　この点、従来の製造方法は、層間絶縁膜の膜厚のバラツキに起因して、第１および第２フォトレジスト２０、２２の寸法精度を悪化させ易いものであった
【００１４】更に、下層配線層１０の主金属に反射率の高い銅等の金属が用いられる場合は、マスクを通過した光が下層配線層１０によって強く反射されることにより、反射光に起因するハレーションが生ずることがある　従来の製造方法においては、第１フォトレジスト２０のパターニング処理の際、および、第２フォトレジスト２２のパターニングの際に、そのハレーションの影響でフォトレジストのパターン異常が生ずることがある　このように、従来の製造方法は、写真製版によりフォトレジストをパターニングする際に、反射光の影響でパターン精度を悪化させやすいという問題を有していた
【００１５】本発明は、上記のような課題を解決するためになされたもので、下層配線層を損傷させることなく、その上部にデュアルダマシン構造の配線要素を形成することのできる半導体デバイスの製造方法を提供することを第１の目的とする　また、本発明は、第１の目的を達成すると共に、反射光の影響を受けることなく精度良くフォトレジストをパターニングすることのできる半導体デバイスの製造方法を提供することを第２の目的とする
【００１６】

【課題を解決するための手段】請求項１記載の発明は、デュアルダマシン構造の配線要素を備える半導体デバイスの製造方法であって、下層配線上にメタルの拡散防止膜を形成するステップと、前記拡散防止膜の上部に第１絶縁膜を形成するステップと、前記第１絶縁膜の上部にエッチングストッパ膜を形成するステップと、前記エッチングストッパ膜の上部に第２絶縁膜を形成するステップと、前記下層配線の上部に、前記第２絶縁膜、前記エッチングストッパ膜、および、第１絶縁膜を貫通するビアホールを形成するステップと、前記ビアホールの内部に、そのビアホールの内壁を覆う有機層を形成するステップと、前記有機層の形成後に、前記第２絶縁膜の所定部位をエッチングにより除去して配線溝を形成するステップと、を備えることを特徴とするものである

【００１７】請求項２記載の発明は、請求項１記載の半導体デバイスの製造方法であって、前記有機層は、前記ビアホールが、少なくともその底面から前記第２絶縁膜の内面に至る領域において覆われるように形成されることを特徴とするものである

【００１８】請求項３記載の発明は、請求項１または２記載の半導体デバイスの製造方法であって、前記有機層を形成するステップは、前記ビアホールの内部にフォトレジストを埋め込むステップと、前記フォトレジストを硬化させるステップとを備えることを特徴とするものである

【００１９】請求項４記載の発明は、請求項１または２記載の半導体デバイスの製造方法であって、前記有機層を形成するステップは、前記ビアホールの内部に、前記有機層として有機反射防止剤の層を形成するステップを備えることを特徴とするものである

【００２０】請求項５記載の発明は、請求項１乃至４の何れか１項記載の半導体デバイスの製造方法であって、シリコン基板上にエッチングストッパ膜を形成するステップと、前記エッチングストッパ膜上に第０絶縁膜を形成するステップと、写真製版および異方性エッチングにより下層配線用溝を形成するステップと、前記下層配線用溝の中に高融点金属膜を形成した後に主金属材を埋め込むステップと、下層配線用溝の外部にある余分な主金属材を除去するステップと、前記主金属材の上部に、高融点金属膜を形成するステップと、を備えることを特徴とするものである

【００２１】請求項６記載の発明は、請求項５記載の半導体装置の製造方法であって、前記下層配線用溝の中に主金属材を埋め込んだ後に、前記第０絶縁膜の表面が露出し、前記下層配線用溝の外部に主金属材が無くなるまで平坦化するステップを備えると共に、前記高融点金属膜を形成するステップは、前記シリコン基板および前記主金属材の上部に高融点金属の層を形成するステップと、前記高融点金属の層が前記主金属膜を覆う所定の領域のみに残存するようにエッチングを行うステップと、を備えることを特徴とするものである

【００２２】請求項７記載の発明は、請求項５記載の半導体装置の製造方法であって、前記下層配線用溝の中に主金属材を埋め込んだ後に、前記主金属材の表面を、前記第０絶縁膜の表面に比して所定長だけ窪ませるステップを備えると共に、前記高融点金属膜を形成するステップは、前記主金属材の表面を窪ませた後に、前記第０絶縁膜および前記主金属材の上部に高融点金属の層を形成するステップと、前記高融点金属の層が前記主金属膜を覆う所定の領域のみに残存するように、前記第０絶縁膜の表面が露出するまで前記高融点金属の膜を除去するステップと、を備えることを特徴とするものである

【００２３】請求項８記載の発明は、請求項１乃至４の何れか１項記載の半導体デバイスの製造方法であって、前記下層配線層を形成するステップは、第０絶縁膜に下層配線用溝を形成するステップと、前記下層配線用溝の中に高融点金属を形成した後に主金属材を埋め込むステップと、前記主金属材の上部に、０．５～１．０の吸収係数を有するシリコン窒化膜を形成するステップと、を備えることを特徴とするものである

【００２４】請求項９記載の発明は、請求項８記載の半導体装置の製造方法であって、前記下層配線用溝の中に主金属材を埋め込んだ後に、前記第０絶縁膜の表面と前記主金属材の表面とを平坦化するステップを備えると共に、前記シリコン窒化膜を形成するステップは、前記シリコン基板および前記主金属材の上部に０．５～１．０の吸収係数を有するシリコン窒化物の層を形成するステップと、前記シリコン窒化物の層が前記主金属膜を覆う所定の領域のみに残存するようにエッチングを行うステップと、を備えることを特徴とするものである

【００２５】請求項１０記載の発明は、請求項８記載の半導体装置の製造方法であって、前記下層配線用溝の中に主金属材を埋め込んだ後に、前記主金属材の表面を、前記第０絶縁膜の表面に比して所定長だけ窪ませるステップを備えると共に、前記シリコン窒化膜を形成するステップは、前記主金属材の表面を窪ませた後に、前記シリコン基板および前記主金属材の上部にシリコン窒化物の層を形成するステップと、前記シリコン窒化物の層が前記主金属膜を覆う所定の領域のみに残存するように、前記第０絶縁膜の表面が露出するまで前記シリコン窒化物の層を除去するステップと、を備えることを特徴とするものである

【００２６】請求項１１記載の発明は、請求項１乃至１０の何れか１項記載の半導体デバイスの製造方法であって、前記エッチングストッパ膜は、０．５～１．０の吸収係数を有するシリコン窒化膜を含むことを特徴とするものである

【００２７】請求項１２記載の発明は、請求項１乃至１１の何れか１項記載の半導体デバイスの製造方法であって、前記ビアホールを開口する前に、前記第２絶縁膜の上部に反射防止用高融点金属膜を形成するステップと、前記配線溝が形成された後に、前記第２絶縁膜の上部に残存する前記反射防止用高融点金属膜を除去するステップとを備え、前記ビアホールを開口するステップは、前記反射防止用高融点金属膜の、前記ビアホールに対応する部位を除去するステップを含み、前記配線溝を形成するステップは、前記反射防止用高融点金属膜の、前記配線溝に対応する部位を除去するステップを含むことを特徴とするものである

【００２８】請求項１３記載の発明は、請求項１乃至１１の何れか１項記載の半導体デバイスの製造方法であって、前記ビアホールを開口する前に、前記第２絶縁膜の上部に０．５～１．０の吸収係数を有する反射防止用シリコン窒化膜を形成するステップと、前記配線溝が形成された後に、前記第２絶縁膜の上部に残存する前記反射防止用シリコン窒化膜を除去するステップとを備え、前記ビアホールを開口するステップは、前記反射防止用シリコン窒化膜の、前記ビアホールに対応する部位を除去するステップを含み、前記配線溝を形成するステップは、前記反射防止用シリコン窒化膜の、前記配線溝に対応する部位を除去するステップを含むことを特徴とするものである

【００２９】請求項１４記載の発明は、請求項１乃至１１の何れか１項記載の半導体デバイスの製造方法であって、前記ビアホールを開口するステップは、前記第２絶縁膜の上部に第１有機反射防止膜を成膜するステップと、前記第１有機反射防止膜の上部に、前記ビアホールに対応する部位に開口部を有する第１フォトレジスト膜を形成するステップとを含み、前記配線溝を形成するステップは、前記第２絶縁膜の上部に第２有機反射防止膜を成膜するステップと、前記第２有機反射防止膜の上部に、前記配線溝に対応する部位に開口部を有する第２フォトレジスト膜を形成するステップとを含むことを特徴とするものである

【００３０】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する　尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する

【００３１】実施の形態１．図１（Ａ）～図１（Ｅ）は、本発明の実施の形態１の半導体デバイスの製造方法を説明するための図を示す　図１（Ａ）に示す如く、本実施形態の製造方法においては、先ず、シリコン基板に設けられた下層配線溝（図示せず）の中に下層配線層３０が形成される（ステップ１）　下層配線層３０は、１３０００オングストロームの膜厚を有しており、銅を主金属材として形成されている

【００３２】次に、下層配線層３０の上に、６００オングストロームの膜厚を有する第１シリコン窒化膜３２（ステップ２）、１２０００オングストロームの膜厚を有する第１シリコン酸化膜３４（ステップ３）、３６００オングストロームの膜厚を有する第２シリコン窒化膜３６（ステップ４）、および、１３０００オングストロームを有する第２シリコン酸化膜３８（ステップ５）が順次形成される

【００３３】図１（Ｂ）に示す如く、第２シリコン酸化膜３８の上部には、公知の有機反射防止材で構成される第１有機反射防止膜４０（以下、「第１ＢＡＲＣ４０」：Bottom Anti-ReFlective Coatingと称す）が塗布される（ステップ６）　第１ＢＡＲＣ４０の上には、写真製版により、第１フォトレジスト４２が形成される（ステップ７）　第１フォトレジスト４２には、ビアホールを形成すべき位置に開口部４４を備えている

【００３４】第１フォトレジスト４２のパターニングの際には、第１フォトレジスト４２の上にマスクを重ねた状態で、第１フォトレジスト４２に向けて光が照射される　第１フォトレジスト４２を通過した光の大部分は、第１ＢＡＲＣ４０によって反射光とされる　この場合、層間絶縁膜の膜厚のバラツキに関わらず反射光の光路長が一定となり、第１フォトレジスト４２が受ける直接光と反射光との干渉状態は、常にほぼ一定となる　また、上記の状況下では、下層配線層３０によって強い反射光が生成されることがないため、写真製版時のハレーションが有効に防止できる　このため、ステップ７の処理によれば、第１フォトレジスト４２を高い寸法精度でパターニングすることができる

【００３５】次に、図１（Ｃ）に示す如く、ビアホール４６を開口するための異方性ドライエッチングが行われる（ステップ８）　ステップ８のエッチングは、先ず、シリコン酸化物の除去に適した条件で行われる　その結果、ビアホール４６の底部に第２シリコン窒化膜３６が露出する　次に、シリコン窒化物の除去に適した条件でエッチングが行われる　その結果、ビアホール４６の底部に第１シリコン酸化膜３４が露出する　次いで、再び、シリコン酸化物の除去に適した条件でエッチングが行われる　その結果、ビアホール４６の底部に第１シリコン窒化膜３２が露出する

【００３６】上記ステップ８のエッチングの条件は、半導体ウェハ上の全ての部位においてビアホール４６が適当に開口されるように、すなわち、全てのビアホール４６の底部に第１シリコン窒化膜３２が露出するように設定されている　より具体的には、全てのビアホール４６の底部に第１シリコン窒化膜３２が露出するようにオーバーエッチング量が定められている　第１シリコン窒化膜３２のうち、比較的早期にビアホール４６の内部に露出した部分は、上記のオーバーエッチングの過程において、長期にわたってエッチングストッパ膜として機能する　この場合、ビアホール４６を開口するためのエッチングが終了した時点で、それらの部分が他の部位に比して明らかに薄くなることがある

【００３７】図１（Ｄ）に示す如く、ビアホール４６を開口するためのエッチングが終了すると、第１フォトレジスト４２が除去される（ステップ９）　次いで、ビアホール４６の内部にフォトレジスト４８が埋め込まれる（ステップ１０）　フォトレジスト４８は、少なくともビアホール４６の内壁が、その底面から第２シリコン窒化膜３６を越える領域まで覆われるように埋め込まれる　フォトレジスト４８は、１５０Ｃのホットプレートの上で、６００mW cm^{2}の照度で、１２０秒間DeepUV光が照射されることにより硬化される（ステップ１１）　第２シリコン酸化膜３８の上部、および、硬化後のフォトレジスト４８の上部には、第２ＢＡＲＣ５０が塗布される（ステップ１２）

【００３８】図１（Ｅ）に示す如く、第２ＢＡＲＣ５０の上には、写真製版により、第２フォトレジスト５２が形成される（ステップ１３）　第２フォトレジスト５２は、配線溝を形成すべき位置に開口部５４を備えている　第２フォトレジスト５２のパターニングの際には、第２フォトレジスト５２の上にマスクを重ねた状態で、第２フォトレジスト５２に向けて光が照射される　第２フォトレジスト５２を通過した光の大部分は、第２ＢＡＲＣ５０によって反射光とされる　このため、ステップ１３の処理によれば、反射光の光路差やハレーションの問題を回避して、第２フォトレジスト５２を高い寸法精度でパターニングすることができる

【００３９】次に、図１（Ｆ）に示す如く、配線溝５６を開口するための異方性ドライエッチングが行われる（ステップ１４）　ステップ１４のエッチングは、先ず、シリコン酸化物の除去に適した条件で行われる　その結果、第２シリコン窒化膜３６が露出するまで配線溝５６が形成される　次に、シリコン窒化物の除去に適した条件でエッチングが行われる　その結果、第１シリコン窒化膜の露出部が除去されて、下層配線層３０の表面がビアホール４６の内部に露出すると共に、配線溝５６の底部に残存していた第２シリコン窒化膜３６が除去される　ステップ１４の処理が終了すると、ビアホール４６の内部に残存するフォトレジスト４８と、第２シリコン酸化膜３８の上部に残存する第２フォトレジスト５２が、アッシングによって同時に除去される

【００４０】上記のエッチングは、ビアホール４６の内部、すなわち、第１シリコン窒化膜３２の露出部、および、第２シリコン窒化膜３６の貫通孔（ビアホール４６による孔）の側面が、フォトレジスト４８により保護された状態で行われる　このため、ビアホール４６の開口が終了した時点で第１シリコン窒化膜３２の露出部が他の部位に比して明らかに薄い場合でも、配線溝を形成するためのエッチングの過程で、ビアホール４６が不当に早期に第１シリコン窒化膜３２を突き抜けることがないと共に、第２シリコン窒化膜３２の貫通孔の径、すなわち、ビアホール４６の上端部の径が不当に拡大されることはない　従って、本実施形態の製造方法によれば、下層配線層３０の上部に、下層配線層３０に損傷を与えることなく、デュアルダマシン構造の配線要素を形成することができる

【００４１】ところで、上記の実施形態においては、ビアホール４６の内部に埋め込んだフォトレジスト４８を硬化させるために、フォトレジスト４８にDeep UVを照射することとしているが、フォトレジスト４８を硬化させる手法はこれに限定されるものではない　例えば、ハードベイク（加熱）によって、或いは、それらの組合せによってフォトレジスト４８を硬化させることとしても良い

【００４２】尚、上記の実施形態においては、第１シリコン酸化膜３４が前記請求項１記載の「第１絶縁膜」に、第２シリコン窒化膜３６が前記請求項１記載の「エッチングストッパ膜」に、第２シリコン酸化膜３８が前記請求項１記載の「第２絶縁膜」に、フォトレジスト４８が前記請求項１記載の「有機層」に、それぞれ相当している

【００４３】実施の形態２．次に図２を参照して、本発明の実施の形態２について説明する　図２（Ａ）～図２（Ｆ）は、本発明の実施の形態２の半導体デバイスの製造方法を説明するための図を示す　図２（Ａ）乃至図２（Ｃ）に示す如く、本実施形態の製造方法によれば、実施の形態１の場合と同様に、ステップ１～８の処理が実行されることによりビアホール４６が形成される

【００４４】本実施形態の製造方法においては、図２（Ｄ）に示す如く、第１フォトレジスト４２が除去された後に（ステップ９）、ビアホール４６の内部、および、第２シリコン酸化膜３８の上部に、同時に、第２ＢＡＲＣ５０の膜が形成される（ステップ１５）　以後、実施の形態１の場合と同様に、ステップ１３および１４の処理が実行されることにより配線溝５６が形成される

【００４５】本実施形態の製造方法において、第２ＢＡＲＣ５０は、第２フォトレジスト５２をパターニングする際に反射防止膜として機能すると共に、配線溝５６を形成するためのエッチングの過程では、実施の形態１におけるフォトレジスト４８と同様の保護膜として機能する　このため、本実施形態の製造方法によれば、実施の形態１に比して簡単な工程で、実施の形態１の場合と同様の効果を得ることができる

【００４６】尚、上記の実施形態においては、第２ＢＡＲＣ５０が前記請求項１記載の「有機層」に相当している

【００４７】実施の形態３．次に、図３を参照して、本発明の実施の形態３について説明する　図３（Ａ）乃至図３（Ｆ）は、本実施形態の半導体デバイスの製造方法を説明するための図を示す　本実施形態の製造方法は、第２ＢＡＲＣ５０の材料として用いられる有機反射防止剤の埋め込み性が、実施の形態２で用いられるものの埋め込み性に比して劣る点を除き、実施の形態２と同様である

【００４８】すなわち、実施の形態２の製造方法では、埋め込み性の良い有機反射防止剤を用いて第２ＢＡＲＣ５０が形成されるため、第２ＢＡＲＣ５０が、ビアホール４６の内部全体に埋め込まれている　これに対して、本実施形態の製造方法では、埋め込み性の悪い有機反射防止剤を用いて第２ＢＡＲＣ５０が形成されるため、第２ＢＡＲＣ５０が、ビアホール４６の壁面のみを覆うように形成される（図３（Ｄ）参照）

【００４９】第２ＢＡＲＣ５０は、ビアホール４６の壁面のみを覆うように形成されている場合でも、配線溝５６を形成するためのエッチングの過程において、第１シリコン窒化膜３２の露出部、および、第２シリコン窒化膜３６の貫通孔付近を有効に保護する　従って、本実施形態の製造方法によっても、実施の形態１および２の場合と同様に、下層配線層３０に損傷を与えることなく、その上部にデュアルダマシン構造の配線要素を形成することができる

【００５０】実施の形態４．次に、図４を参照して、本発明の実施の形態４について説明する　図４（Ａ）～図４（Ｇ）は、本発明の実施の形態４の半導体デバイスの製造方法を説明するための図（左：断面図、右：平面図）を示す　図４（Ａ）に示す如く、本実施形態の製造方法においては、実施の形態１の場合と同様に、ステップ１～５の処理により、下層配線層３０、第１シリコン窒化膜３２、第１シリコン酸化膜３４、第２シリコン窒化膜３６および第２シリコン酸化膜３８が順次形成される

【００５１】本実施形態において、第１および第２シリコン酸化膜３４，３８は、３～４％のフッ素を含有している　このようなシリコン酸化膜は、フッ素を含有しないものに比して小さな誘電率を示す　また、第１および第２シリコン窒化膜３２，３６は、ハシベーション用に広く用いられているSi$_3$N$_4$膜、すなわち、シリコンと窒素との比が３：４の膜である　シリコン窒化膜は、シリコンリッチとなるほど吸収率が高くなり、窒素リッチとなるほど誘電率が低下する　本実施形態のように、窒素比率の高いシリコン窒化膜によれば、吸収率は確保できない反面、誘電率を小さく抑制することができる　従って、本実施形態の構造によれば、半導体デバイスの配線容量を十分に小さく抑制することができる

【００５２】第２シリコン窒化膜３８の上部には、６００～１０００オングストローム程度の膜厚を有する高融点金属膜５８が形成される（ステップ１６）　本実施形態において、高融点金属膜５８には、チタン窒化膜が用いられる　高融点金属膜５８の上部には、写真製版により、実施の形態１の場合と同様に第１フォトレジスト４２が形成される（ステップ７）

【００５３】第１フォトレジスト４２の写真製版の際に第１フォトレジストを透過する光は、その殆どが高融点金属膜５８によって反射される　このため、本実施形態の製造方法によれば、第１フォトレジスト４２の下部にＢＡＲＣを形成していないにも関わらず、また、第１および第２シリコン窒化膜３２，３６の吸収率が比較的小さいにも関わらず、反射光のハレーションや光路差に影響されることなく、第１フォトレジスト４２を精度良くパターニングすることができる

【００５４】図４（Ｂ）に示す如く、第１フォトレジスト４２の開口部４４に露出している高融点金属膜５８は、エッチングにより除去される（ステップ１７）　次いで、図４（Ｃ）に示す如く、実施の形態１の場合と同様にステップ８～１１の処理が実行されることにより、ビアホール４６が形成され、更に、その内部にフォトレジスト４８（有機層）が形成される

【００５５】ステップ１１の処理（第１フォトレジスト４２の除去）が終了すると、次に、ステップ１３の処理が実行されることにより、高融点金属膜５８の上部に、第２フォトレジスト５２が形成される　第２フォトレジスト５２の写真製版の際にその内部を透過する光は、第１フォトレジスト４２の写真製版の場合と同様に、その殆どが高融点金属膜５８によって反射される　このため、本実施形態の製造方法によれば、第２フォトレジスト５２の下部にＢＡＲＣを形成していないにも関わらず、反射光のハレーションや光路差に影響されることなく、第２フォトレジスト５２を精度良くパターニングすることができる

【００５６】本実施形態の製造方法では、次に、図４（Ｅ）に示す如く、第２フォトレジスト５２の開口部５４に露出している高融点金属膜５８が、エッチングにより除去される（ステップ１８）

【００５７】次いで、図４（Ｆ）に示す如く、実施の形態１の場合と同様にステップ１４の処理により配線溝５６が形成される　配線溝５６を形成するためのエッチングは、第１シリコン窒化膜３２の露出部、および、第２シリコン窒化膜３６の貫通孔付近がフォトレジスト４８により保護された状態で行われる　このため、本実施形態の製造方法によれば、実施の形態１の場合と同様に、下層配線層３０に損傷を与えることなく、その上部にデュアルダマシン構造の配線要素を精度良く形成することができる

【００５８】配線溝５６が形成され、更に、アッシングによって第２フォトレジスト５２等が除去されると、図４（Ｇ）に示す如く、ウェットエッチングによって第２シリコン酸化膜３８の上部から高融点金属膜５８が除去される（ステップ１９）　上記の処理が終了すると、実施の形態１の場合と同様に所望の構造を得ることができる

【００５９】図５（Ａ）および図５（Ｂ）は、本実施形

態の製造方法と対比される方法で製造される半導体デバイスの断面図および平面図を示す　より具体的には、図5（A）および図5（B）は、第2シリコン酸化膜38の上部に高融点金属膜58を形成することなく第2フォトレジスト52を形成した場合に実現される状態を示す

【0060】図6は、図5に示す構造に対して第2シリコン酸化膜38の上部から光（i線）を照射した場合に得られる反射率と、層間絶縁膜（32～38等）の厚さとの関係を示す　また、図7は、図4に示す構造（本実施形態の構造）に対して高融点金属膜58の上部から光（i線）を照射した場合に得られる反射率と、層間絶縁膜の厚さとの関係を示す

【0061】第2シリコン酸化膜38の表面に高融点金属膜58が形成されていない場合は、半導体デバイスに向けて照射された光は、層間絶縁膜の影響して、シリコン基板や下層配線層30で反射される　この場合、層間絶縁膜の膜厚に応じて反射光の光路長が変化し、その結果、入射光と反射光の干渉状態が変化する　この場合、光の反射率は、図6に示す如く層間絶縁膜の膜厚に、敏感に反応する　このため、第2フォトレジスト52の感光状態が、層間絶縁膜の膜厚のバラツキの影響を受けやすい

【0062】更に、第2シリコン酸化膜38の表面に高融点金属膜58が形成されていない場合は、下層配線層30で強い反射光が発生し、第2フォトレジスト52の写真製版の際に、反射光によるハレーションが生ずる　このため、高融点金属膜58が形成されていない場合は、図5（B）に示す如く、第2フォトレジスト52の開口部44にパターン誤差が生じ易い

【0063】これに対して、第2シリコン酸化膜38の表面に高融点金属膜58が形成されている場合は、半導体デバイスに向けて照射された光が高融点金属膜58により反射されるため、図7に示す如く、層間絶縁膜（32～38等）の膜厚が変化しても、光の反射率はほぼ一定値に保たれる　更に、この場合は、照射光が下層配線層10に到達しないため、ハレーションの問題が生ずることもない　このため、本実施形態の製造方法によれば、図4（D）等に示す如く、第2フォトレジスト52を精度良く形成することができる

【0064】このように、本実施形態の製造方法において、第2シリコン酸化膜38の表面に形成される高融点金属膜58は、パターン誤差の原因となる反射光の発生を防ぐARCとして機能する　また、高融点金属膜58をARCとして用いることによれば、実施の形態1乃至3の場合と異なり、第1および第2フォトレジスト42、52を形成する度にARCの成膜を行う必要がない　このため、本実施形態の製造方法によれば、簡単な工程で、高度な形状精度を有する半導体デバイスを製造することができる

【0065】尚、上記の実施形態においては、高融点金属膜58が、前記請求項12記載の「反射防止用高融点金属膜」に相当している

【0066】実施の形態5．次に、本発明の実施の形態5について説明する　本実施形態の半導体デバイスの製造方法は、実施の形態4の製造方法における高融点金属膜58を、0．5～1．0の吸収率を有するシリコン窒化膜、すなわち、シリコンと窒素との比が1：1のSiN膜とすることで実現される　上記のシリコン窒化膜によれば、高融点金属膜58の場合と同様に第2シリコン酸化膜38の上でARCとして機能する　このため、本実施形態の製造方法によっても、実施の形態4の場合と同様に、寸法精度の優れた半導体デバイスを形成することができる

【0067】また、シリコン窒化膜は、高融点金属膜58～異なり絶縁膜である　従って、第2シリコン酸化膜38の上に形成したシリコン窒化膜は、必ずしも除去する必要がない　このため、本実施形態の製造方法によれば、実施の形態4の場合と比して、更なる工程の簡略化を図ることができる

【0068】尚、上記の実施の形態においては、第2シリコン酸化膜38の表面にシリコン窒化膜（SiN膜）を形成する旨特開平10-13記載の「反射防止用シリコン窒化膜」と相違する

【0069】実施の形態6．次に、図8を参照して本発明の実施の形態6について説明する　図8（A）乃至図8（D）は、本実施形態の半導体デバイスの製造方法と主要部を説明するための図を示す

【0070】図8（A）に示す如く、本実施形態の製造方法では、先ず、600オングストロームの膜厚を有するシリコン窒化膜60の上に、CVDにより、13000オングストロームの膜厚を有するシリコン酸化膜62が形成される（ステップ20）

【0071】次に、図8（B）に示す如く、写真製版および異方性エッチングにより、シリコン酸化膜62に下層配線用溝64がパターニングされる（ステップ21）

【0072】図8（C）に示す如く、シリコン酸化膜62の上部、および、下層配線用溝64の内部には、スパッタ法、或いは、CVD法により、500～1000オングストローム程度の膜厚を有する高融点金属膜66が形成される（ステップ22）　高融点金属膜66は、チタン、チタン窒化物、タンタル、或いは、タンタル窒化物等により形成されている

【0073】図8（D）に示す如く、高融点金属膜66の上部（下層配線用溝64の内部を含む）には、スパッタ法、CVD法、メッキ法、或いは、それらの組合せによって、15000～20000オングストロームの膜厚を有する主金属材68が形成される（ステップ23）　本実施形態において、主金属材68は銅により形成されている

【0074】図8（E）に示す如く、主金属材68および高融点金属66は、CMP法により、或いは、全面エッチバックの手法により、主金属材68の表面とシリコン酸化膜62の表面とが平坦化される（ステップ24）

【0075】図8（F）に示す如く、平坦化されたシリコン酸化膜62および主金属材68の上部には、ステップ22の場合と同様の手法でチタンを堆積させることにより、100～1000オングストローム程度の膜厚を有する高融点金属膜70が形成される（ステップ25）

【0076】図8（G）に示す如く、高融点金属膜70のうち、主金属材68および高融点金属66の何れとも重なりたい部分は、写真製版およびエッチングにより除去される（ステップ26）　上記の処理が実行されることにより、高融点金属70は、下層配線用溝64に対応する部分だけが残る　その結果、主金属材68および高融点金属膜66、70により下層配線層30が形成される　尚、ステップ26の処理において、写真製版は、下層配線用溝64のパターニング（ステップ21参照）に用いたフォトマスク（レチクル）と、その際に用いられたポジ・ネガ　他の極性（ネガ或いはポジ）を有するフォトレジストとを用いて行われる

【0077】図8（H）に示す如く、シリコン酸化膜62および下層配線層30の上部には、実施の形態1乃至5の場合と同様にステップ3～5の処理が行われることにより、第1シリコン酸化膜34、第2シリコン窒化膜36、および、第2シリコン酸化膜38が順次形成される　以後、実施の形態1乃至5の何れかと同様、或いは近似する処理が実行されることにより、下層配線層30の上部にデュアルダマシン構造の配線要素が形成される

【0078】本実施形態の製造方法において、下層配線層30の主金属材68を覆う高融点金属材70は、第1または第2フォトレジスト42、52の写真製版の際に反射光によるハレーションを防止するARCとして機能する　また、本実施形態において、第2シリコン窒化膜36は、0．5～1．0の吸収率を有するシリコンリッチな窒化膜で形成される　より具体的には、シリコンと窒素との比が1：1のSiNにより形成される　このような第2シリコン窒化膜36によれば、第1または第2フォトレジスト42、52の写真製版の際に、照射光の透過を有効に防止して、反射光によるハレーションを有効に防止することができる

【0079】実施の形態1乃至5においては、反射光のハレーション等に起因するパターン精度の悪化を防止するために、第2シリコン酸化膜38の上に、有機反射防止膜や高融点金属膜等を形成している　しかしながら、本実施形態の製造方法においては、上記の如く、下層配線層30の高融点金属膜70や第2シリコン窒化膜36により、ARCの機能を満たすことができる　このため、本実施形態の製造方法においては、第2シリコン酸化膜38の上部のARCを省略しても、反射光に起因するパターン精度の誤差を有効に抑制して、高精度な寸法精度を有する半導体デバイスを製造することができる

【0080】また、本実施形態の製造方法において、主金属材68を覆う高融点金属膜70は、ARCとして機能することに加えて、主金属材68（銅）の酸化、および、拡散を防止するバリアメタルとしても機能する　更に、高融点金属膜70は、第1シリコン酸化膜34のエッチングを行う際に、そのエッチングの進行を止めるストッパ膜としても機能する　このため、本実施形態の製造方法によれば、実施の形態1乃至5で必要とされていた第1シリコン窒化膜32を、下層配線層30の上に形成する必要がない　第1シリコン窒化膜32を省略することができると、層間絶縁膜の誘電率が低下して配線容量が低下する　従って、本実施形態の製造方法によれば、実施の形態1乃至5の場合に比して、配線容量の小さな半導体デバイスを製造することができる

【0081】実施の形態7．次に、図9を参照して本発明の実施の形態7について説明する　図9（A）～図9（E）は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す

【0082】図9（A）は、実施の形態6における図8（E）と同じ状態を示す　本実施形態の製造方法では、実施の形態6の場合と同様にステップ20～24の処理が実行されることにより、図9（A）の状態が形成される　図9（B）に示す如く、本実施形態の製造方法では、主金属材68の表面がシリコン酸化膜62の表面に比して100～1000オングストローム程度低くなるように、オーバーエッチング或いはオーバーポリッシングが行われる（ステップ27）

【0083】オーバーエッチング或いはオーバーポリッシングされたシリコン酸化膜62および主金属材68の上には、実施の形態8のステップ25と同様の手法で、100～1000オングストローム程度の高融点金属膜70が形成される（図9（C））

【0084】図9（D）に示す如く、高融点金属膜70は、その表面とシリコン酸化膜62の表面とが平坦となるまで、全面エッチバック法、或いは、CMP法により除去される（ステップ28）　上記の処理が実行されることにより、シリコン酸化膜62の中に、下層配線層30が形成される

【0085】以後、上述した実施の形態6の場合と同様の処理が実行されることにより、断面の構成が実現される　本実施形態の製造方法において、下層配線層30の高融点金属膜70は、実施の形態6の場合と同様に、ARC、バリアメタル、および、エッチングストッパ膜として機能する　このため、本実施形態の製造方法によ

ても、実施の形態6の場合と同様に簡単な工程で優れた寸法精度を有する半導体デバイスを製造することができる　また、本実施形態の製造方法によれば、下層配線層３０の表面とシリコン酸化膜６２の表面とを平坦化することができる　このため、本実施形態の製造方法によれば、実施の形態6の場合に比して更に容易に、下層配線層３０の上に精度良く配線要素を形成することができる

【００８６】実施の形態8．次に、図１０を参照して本発明の実施の形態7について説明する　図１０（Ａ）～図１０（Ｃ）は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す

【００８７】図１０（Ａ）は、実施の形態6における図８（Ｅ）と同じ状態を示す　本実施形態の製造方法では、実施の形態6の場合と同様にステップ２０～２４の処理が実行されることにより、図１０（Ａ）の状態が形成される　図１０（Ｂ）に示す如く、本実施形態の製造方法では、シリコン酸化膜６２および下金属材６８の上部に、第１シリコン窒化膜３２が形成される（ステップ２）　本実施形態において、第１シリコン窒化膜３２には、０．５～１．０の吸収率を有するシリコンリッチな膜、すなわち、シリコンと窒素との比が１：１のSiN膜でもある

【００８８】第１シリコン窒化膜３２が形成された後、上述した実施の形態6および7の場合と同様の処理が実行されることにより、所望の構成が実現される　本実施形態の製造方法において、第１シリコン窒化膜３２は、実施の形態6または7における高融点金属膜７０と同様に、ＡＲＣ、バリア層、および、エッチングストッパ膜として機能する　このため、本実施形態の製造方法によれば簡単な工程で優れた寸法精度を有する半導体デバイスを製造することができる

【００８９】実施の形態9．次に、図１１を参照して本発明の実施の形態7について説明する　図１１（Ａ）～図１１（Ｃ）は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す

【００９０】図１１（Ａ）は、実施の形態6における図８（Ｅ）と同じ状態を示す　本実施形態の製造方法では、実施の形態6の場合と同様にステップ２０～２４の処理が実行されることにより、図１１（Ａ）の状態が形成される　図１１（Ｂ）に示す如く、本実施形態の製造方法では、シリコン酸化膜６２および下金属材６８の上部に、第１シリコン窒化膜３２が形成される（ステップ２）　本実施形態において、第１シリコン窒化膜３２には、実施の形態８（図１０参照）の場合と同様に、０．５～１．０の吸収率を有するシリコンリッチな膜、すなわち、シリコンと窒素との比が１：１のSiN膜が用いられる（図１２（Ｃ））

【００９１】図１１（Ｃ）に示す如く、第１シリコン窒化膜３２のうち、下金属材６８および高融点金属膜６６の何れとも重ならない部分は、写真製版およびエッチングにより除去される（ステップ２９）　上記の処理が実行されることにより、第１シリコン窒化膜３２は、下層配線用溝６４に対応する部分だけが残る　尚、ステップ２９の処理において、写真製版は、下層配線用溝６４のパターニング（ステップ２１参照）に用いられたマスク（レチクル）と、その際に用いられたフォトレジストと逆の極性（ネガ或いはポジ）を有するフォトレジストとを用いて行われる

【００９２】以後、上述した実施の形態6乃至8の場合と同様の処理が実行されることにより、所望の構成が実現される　本実施形態の製造方法において、第１シリコン窒化膜３２は、実施の形態８（図１０参照）の場合と同様に、ＡＲＣ、バリア層、および、エッチングストッパ膜として機能する　このため、本実施形態の製造方法によれば簡単な工程で優れた寸法精度を有する半導体デバイスを製造することができる

【００９３】本実施形態の製造方法によれば、実施の形態8の場合に比して、第１シリコン窒化膜３２の残存面積を小さくすることができる　半導体デバイスの配線容量は、シリコン窒化膜の面積が小さい程少量となる　従って、本実施形態の製造方法によれば、実施の形態8の場合に比して、配線抵抗の小さな半導体デバイスを製造することができる

【００９４】実施の形態１０．次に、図１２を参照して本発明の実施の形態7について説明する　図１２（Ａ）～図１２（Ｅ）は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す

【００９５】図１２（Ａ）は、実施の形態6における図８（Ｅ）と同じ状態を示す　本実施形態の製造方法では、実施の形態6の場合と同様にステップ２０～２４の処理が実行されることにより、図１２（Ａ）の状態が形成される　図１２（Ｂ）に示す如く、本実施形態の製造方法では、次に、実施の形態７（図９参照）の場合と同様に、ステップ２７の処理が実行される　その結果、オーバーエッチングまたはオーバーエッチングによって、下金属材６８の表面がシリコン酸化膜６２の表面に比して１００～１０００オングストローム程度低くされる

【００９６】オーバーエッチング或いはオーバーポリッシングされたシリコン酸化膜６２および下金属材６８の上には、第１シリコン窒化膜３２が形成される（ステップ２）　本実施形態において、第１シリコン窒化膜３２には、実施の形態８または９（図１０および１１参照）の場合と同様に、０．５～１．０の吸収率を有するシリコンリッチな膜、すなわち、シリコンと窒素との比が１：１のSiN膜が用いられる（図１２（Ｃ））

【００９７】図１２（Ｄ）に示す如く、第１シリコン窒化膜３２は、その表面とシリコン酸化膜６２の表面とが平坦となるまで、全面エッチバック法、或いは、ＣＭＰ法により除去される（ステップ３０）　上記の処理が実行されることにより、シリコン酸化膜６２の中に、下層配線層３０が形成される

【００９８】以後、上述した実施の形態６乃至９の場合と同様の処理が実行されることにより、所望の構成が実現される　本実施形態の製造方法において、第１シリコン窒化膜３２は、実施の形態８および9（図１０および１１参照）の場合と同様に、ＡＲＣ、バリアメタル、および、エッチングストッパ膜として機能する　このため、本実施形態の製造方法によれば簡単な工程で優れた寸法精度を有する半導体デバイスを製造することができる

【００９９】また、本実施形態の製造方法によれば、第１シリコン酸化膜３２の残存面積を小さくすることができると共に、第１シリコン酸化膜３２の表面とシリコン酸化膜６２の表面とを平坦化することができる　このため、本実施形態の製造方法によれば、配線容量の小さな半導体デバイスを製造すると共に、下層配線層３０の上に、容易に、高精度な配線要素を形成することができる

【０１００】

【発明の効果】この発明は以上説明したように構成されているので、以下に示すような効果を奏する　請求項１記載の発明によれば、ビアホールの内部に有機膜が形成された後に配線溝を形成するためのエッチングが行われる　この場合、有機膜が保護膜となるため、配線溝を形成するためのエッチングによって下層配線層が損傷を受けることがない

【０１０１】請求項２記載の発明によれば、有機膜はエッチングストッパ膜の上部まで形成されている　この場合、配線溝を形成するためのエッチングの過程において、エッチングストッパ膜の貫通孔（ビアホールによる孔）が有機膜により保護される　従って、本発明によれば、ビアホールの上端の径が拡大されることによる下層配線層の損傷を防止することができる

【０１０２】請求項３記載の発明によれば、フォトレジストを用いることにより、簡単な工程で有機膜を形成することができる

【０１０３】請求項４記載の発明によれば、有機反射防止剤を用いることにより、簡単な工程で有機膜を形成することができる　また、本発明によれば、第２絶縁膜の上に有機反射防止膜を形成する場合には、有機反射防止膜を形成する際に、その工程と兼ねて有機膜を容易に形成することができる

【０１０４】請求項５記載の発明によれば、下層配線層の主金属材を高融点金属膜で覆うことができる　高融点金属膜によれば、反射光のハレーションを防止することができる　従って、本発明によれば、写真製版の際に、ハレーションに影響されることなく、優れた寸法精度でフォトレジストをパターニングすることができる

【０１０５】請求項６記載の発明によれば、下層配線層の主金属材の上面のみを覆う高融点金属膜を簡単な工程で形成することができる

【０１０６】請求項７記載の発明によれば、下層配線層の主金属材の上面のみを覆う高融点金属膜を、簡単な工程で、下層配線用溝の内部に形成することができる　この場合、高融点金属膜の幅が下層配線層の幅からはみ出すことがないため、配線要素間のショートマージンを小さくすることができる　また、高融点金属膜の表面と、シリコン基板の表面とが平坦となるため、下層配線層の上部に形成する配線要素を容易に精度良く形成することができる

【０１０７】請求項８記載の発明によれば、下層配線層の主金属材を、０．５～１．０の吸収率を有するシリコン窒化膜で覆うことができる　上記のシリコン窒化膜によれば、反射光のハレーションを防止することができる　従って、本発明によれば、写真製版の際に、ハレーションに影響されることなく、優れた寸法精度でフォトレジストをパターニングすることができる

【０１０８】請求項９記載の発明によれば、下層配線層の主金属材の上面のみを覆うように、０．５～１．０の吸収率を有するシリコン窒化膜を簡単な工程で形成することができる　従って、本発明によれば、ハレーションを防止する機能を実現しつつ、配線容量を小さく抑制することができる

【０１０９】請求項１０記載の発明によれば、下層配線層の主金属材の上面のみを覆うように、下層配線用溝の内部に０．５～１．０の吸収率を有するシリコン窒化膜を、簡単な工程で形成することができる　この場合、シリコン窒化膜の表面と、シリコン基板の表面とが平坦となるため、下層配線層の上部に形成する配線要素を容易に精度良く形成することができる

【０１１０】請求項１１記載の発明によれば、配線溝のエッチングの際にストッパ膜として機能するエッチングストッパ膜が、０．５～１．０の吸収率を有するシリコン窒化膜で形成される　この場合、エッチングストッパ膜によって光の透過量が抑制されるため、ハレーションの影響を更に軽減することができる

【０１１１】請求項１２記載の発明によれば、第２絶縁膜の表面に反射防止用高融点金属膜が形成される　この場合、反射防止用高融点金属膜の表面で効率良く光が反射されるため、反射光に光路差が生ずることがない　従って、本発明によれば、極めて精度良くフォトレジストをパターニングすることができる

【０１１２】請求項１３記載の発明によれば、第２絶縁膜の表面に０．５～１．０の吸収率を有する反射防止用シリコン窒化膜が形成される　この場合、反射防止用シリコン窒化膜の表面で効率良く光が反射されるため、反射光に光路差が生ずることがない　従って、本発明によれば、極めて精度良くフォトレジストをパターニングすることができる

【００１３】請求項１４記載の発明によれば、第２絶縁膜とフォトレジストとの間に有機反射防止膜が形成された状態でフォトレジストの感光処理が行われる　この場合、フォトレジストに照射された光が効率良く有機反射防止膜の表面で反射されるため、反射光に光路差が生ずることがない　従って、本発明によれば、極めて精度良くフォトレジストをパターニングすることができる

【図面の簡単な説明】

【図１】　本発明の実施の形態１の半導体デバイスの製造方法を説明するための図である

【図２】　本発明の実施の形態２の半導体デバイスの製造方法を説明するための図である

【図３】　本発明の実施の形態３の半導体デバイスの製造方法を説明するための図である

【図４】　本発明の実施の形態４の半導体デバイスの製造方法を説明するための図である

【図５】　反射防止用高融点金属膜が用いられない場合に得られる状態を説明するための図である

【図６】　反射防止用高融点金属膜が用いられない場合における層間絶縁膜の膜厚と反射率との関係を示す図である

【図７】　反射防止用高融点金属膜が用いられる場合における層間絶縁膜の膜厚と反射率との関係を示す図である

【図８】　本発明の実施の形態６の半導体デバイスの製造方法の主要部を説明するための図である

【図９】　本発明の実施の形態７の半導体デバイスの製造方法の主要部を説明するための図である

【図１０】　本発明の実施の形態８の半導体デバイスの製造方法の主要部を説明するための図である

【図１１】　本発明の実施の形態９の半導体デバイスの製造方法の主要部を説明するための図である

【図１２】　本発明の実施の形態１０の半導体デバイスの製造方法の主要部を説明するための図である

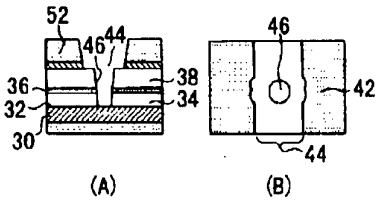
【図１３】　従来の半導体デバイスの製造方法の主要部を説明するための図である

【図１４】　従来の半導体デバイスの製造方法の問題点を説明するための図である

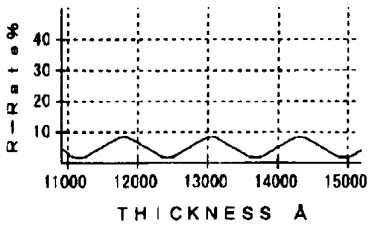
【符号の説明】

３０　下層配線層、　３２　第１シリコン窒化膜、　３４　第１シリコン酸化膜、　３６　第２シリコン窒化膜、　３８　第２シリコン酸化膜、４０　第１有機反射防止膜（第１ＢＡＲＣ）、　４２　第１フォトレジスト、４６　ビアホール、　４８　フォトレジスト、　５０　第２有機反射防止膜（第２ＢＡＲＣ）、　５２　第２フォトレジスト、　５６　配線溝、５８：７０　高融点金属膜、　６４　下層配線用溝、　６８　上金属材

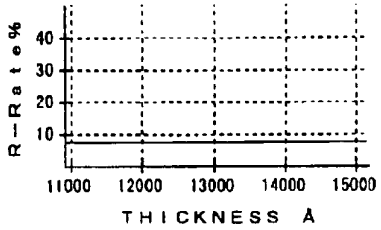
【図５】



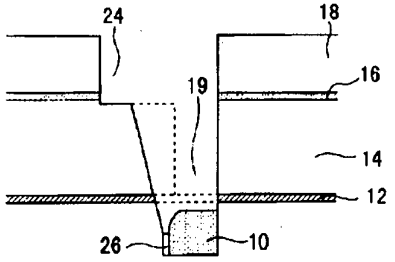
【図６】



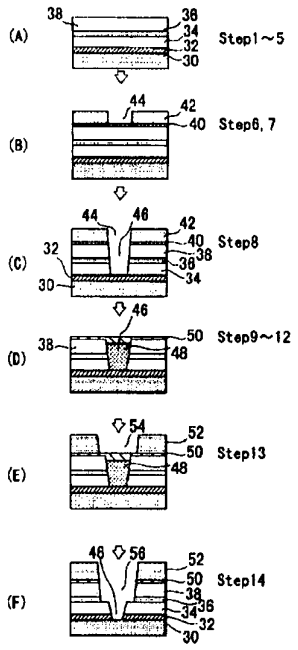
【図７】



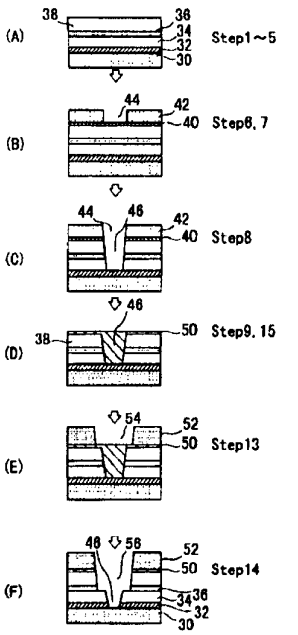
【図１４】



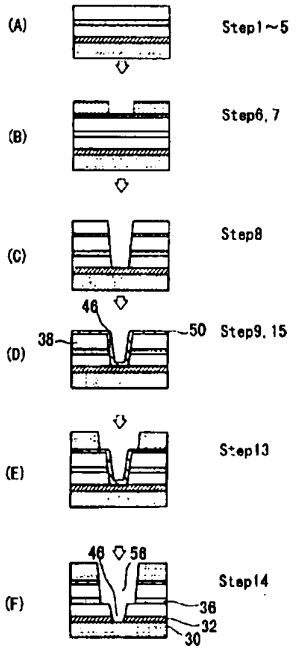
【図１】



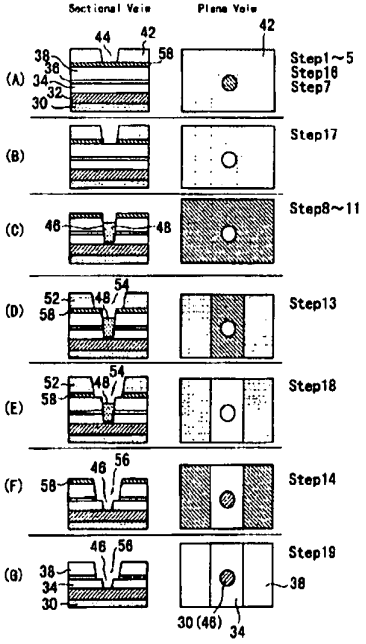
【図２】



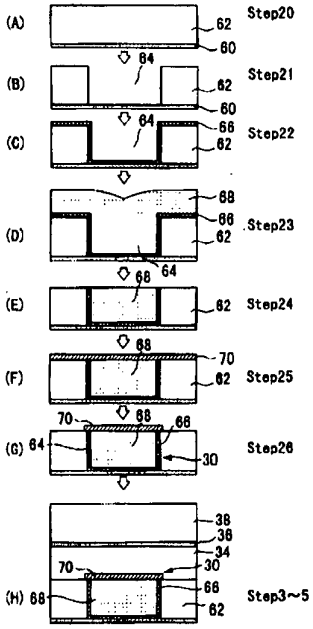
【図3】


(A)
Step1～5
(B)
Step6, 7
(C)
Step8
46
(D)
38
50
Step9, 15
(E)
Step13
46
56
(F)
Step14
36
32
30

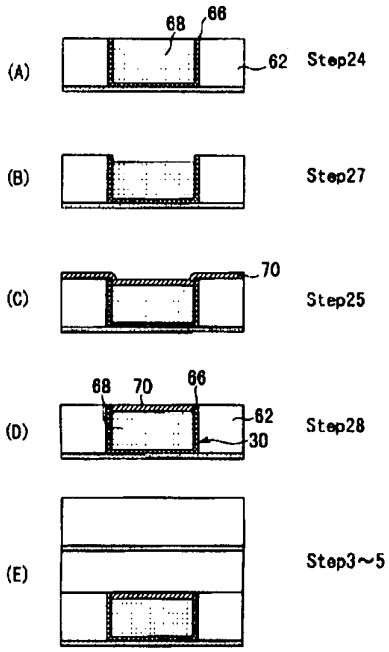
【図4】


Sectional View
Plane View
44
42
42
38
36
34
32
30
58
(A)
Step1～5
Step16
Step7
(B)
Step17
(C)
48
48
Step8～11
52
58
48
54
(D)
Step13
(E)
Step18
(F)
58
46
56
Step14
(G)
Step19
38
30(46)
34

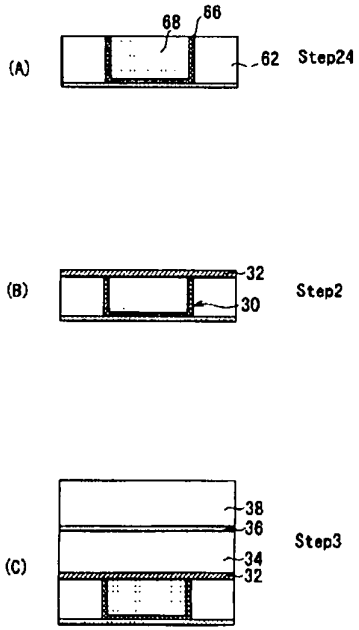
【図8】


(A)
62
60
Step20
64
(B)
Step21
(C)
66
Step22
(D)
68
Step23
(E)
Step24
(F)
70
Step25
(G)
Step26
38
36
34
30
(H)
Step3～5

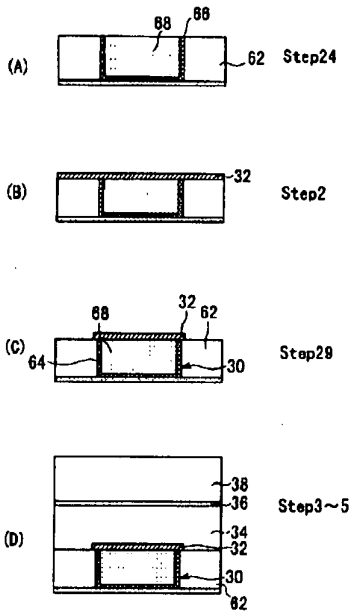
【図9】


68
66
(A)
62
Step24
(B)
Step27
70
(C)
Step25
(D)
Step28
30
(E)
Step3～5

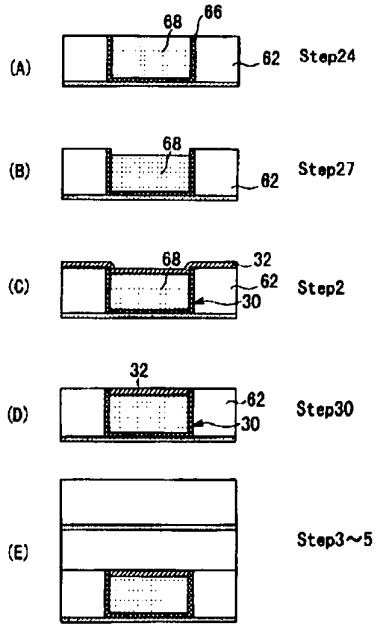
【図１０】



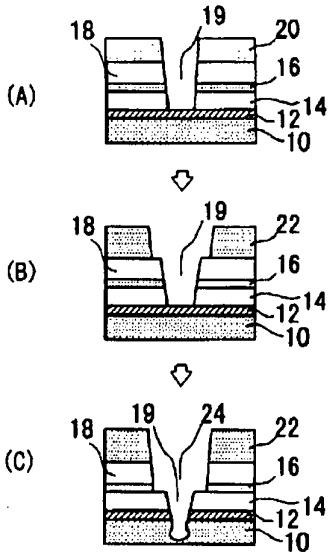
【図１１】



【図１２】



【図１３】



フロントページの続き

Fターム(参考) 5F001 AA16 DB03 DB07 DB08 DB23
DB26 EA22 EA28 EB01 EB03
5F033 KK11 KK18 KK21 KK32 KK33
MM02 NN30 PP06 PP15 QQ09
QQ10 QQ16 QQ22 QQ23 QQ32
QQ35 QQ37 QQ48 RR01 RR05
RR06 RR11 RR21 RR27 SS12
SS22 TT02 XX03 XX21 XX28
XX32

2002.12.25

整理番号　ＯＨ００３６１２　　発送番号　４２６０４４

発送日　平成１４年１２月２４日　　

拒絶理由通知書

特許出願の番号	特願２０００－３４５６１６
起案日	平成１４年１２月１６日
特許庁審査官	齋藤　恭一　　８１２２　４Ｌ００
特許出願人代理人	大垣　孝　様
適用条文	第２９条第１項、第２９条第２項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から６０日以内に意見書を提出して下さい。

理　由

１．この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第２９条第１項第３号に該当し、特許を受けることができない。

２．この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第２９条第２項の規定により特許を受けることができない。

記　　（引用文献等については引用文献等一覧参照）

・理由　　１又は２
・請求項　　１－７，１２－１６
・引用文献等　１－４
・備考
（請求項１，２，６，７について）
引用例１，２には、配線溝に対応する幅、又は配線溝の外側を囲む程度の幅に形成された窒化膜パターンを利用して、デュアル・ダマシン・プロセスにより配線層を形成している。なお、窒化膜パターンは、リソグラフィ工程の目合わせ精度の余裕寸法を有する必要があるから、配線溝の０．２～１．０μｍ外側を囲むような形状および大きさに形成することは、当業者が容易になし得ることと認められる。

（請求項３，１２について）

配線溝を形成する際に、溝の内壁面をテーパー面とすることは、引用例３に記載されるように周知の構造であり、また、ドライエッチングの際に、エッチングガス中にCH_2F_2ガスを含有させて反応生成物を形成し、溝を形成することも、引用例４に記載されるように周知の手段である。

引用例１，２に記載のものにおいて、溝形成に上記周知のガスを用い、溝内壁面をテーパー面とすることは、当業者が容易に想到し得ることと認められる。

（請求項４，１３－１５について）

引用例１（図３，図４を参照）、引用例２（図１８－図２０等を参照）には、エッチングストッパとして利用した層を除去することが記載されている。

なお、エッチング手段は、ストッパ膜の材質に応じて適宜選択しうるものである。

（請求項５，１６について）

引用例１（図２５参照）、引用例３（図１１参照）には、下地の下層配線領域上にのみ拡散防止層を形成することが記載されている。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

Cited References

引　用　文　献　等　一　覧

1.特開平１１－３４５８７５号公報
2.特開平１１－３１７４５１号公報
3.特開２０００－１５０６４４号公報
4.特開平１１－３３００４６号公報

先行技術文献調査結果の記録

・調査した分野　　ＩＰＣ第７版　Ｈ０１Ｌ２１／３２０５～　２１／３２１３
　　Ｈ０１Ｌ２１／７６８
・先行技術文献　　特開平１１－８７４９２号公報
　　特開平２－３２２８号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。